

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-084422

(43)Date of publication of application : 26.03.1999

(51)Int.Cl.

G02F 1/136
G02B 5/00
G02F 1/1335

(21)Application number : 09-247295

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 11.09.1997

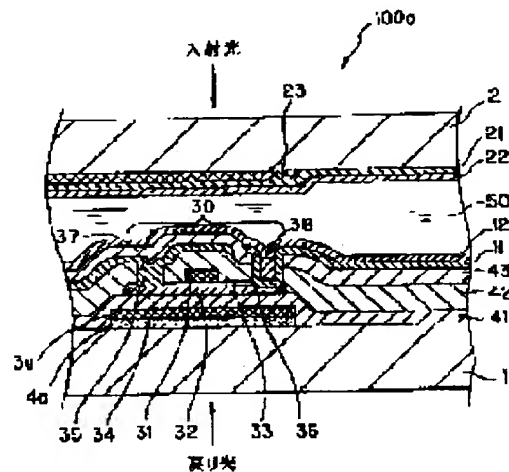
(72)Inventor : OKANO KATSUICHI
YAMAZAKI KOJI
IWANO HIDEAKI

(54) LIQUID CRYSTAL DISPLAY PANEL

(57)Abstract:

PROBLEM TO BE SOLVED: To improve the light shielding performance to the light from the lower side of TFTs (thin-film transistors) and the switching performance of the TFTs of a liquid crystal display panel of an active matrix driving system by TFT driving.

SOLUTION: The liquid crystal display panel 100a having liquid crystals 50 held between a pair of first and second substrates 1, 2, pixel electrodes 11 disposed in a matrix form on the first substrate and the TFTs 30 for switching control thereof is provided with light shielding layers 3a consisting of a high melting metal between the first substrate and the TFTs in the positions facing the TFTs and is provided with polycrystalline silicon layers 4a in superposition thereon.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-84422

(43) 公開日 平成11年(1999) 3月26日

(51) Int.Cl.⁶
G 0 2 F 1/136 5 0 0
G 0 2 B 5/00
G 0 2 F 1/1335 5 0 0

F I
G 0 2 F 1/136 5 0 0
G 0 2 B 5/00 B
G 0 2 F 1/1335 5 0 0

審査請求 未請求 請求項の数 5 O L (全 16 頁)

(21) 出願番号 特願平9-247295
(22) 出願日 平成9年(1997) 9月11日

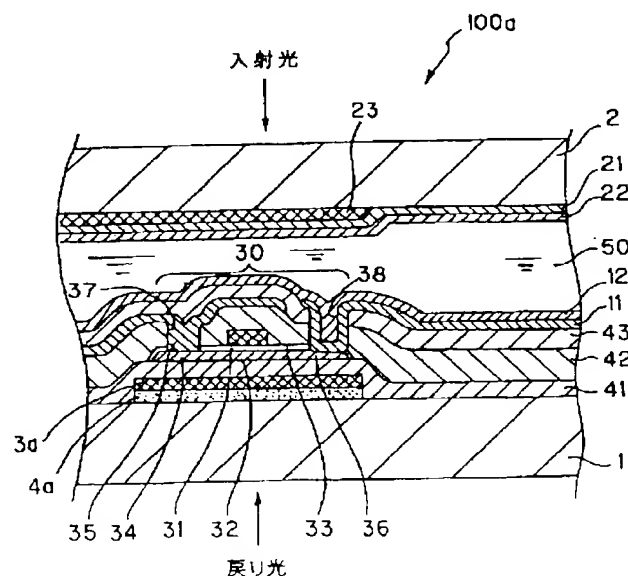
(71) 出願人 000002369
セイコーエプソン株式会社
東京都新宿区西新宿2丁目4番1号
(72) 発明者 岡野 勝一
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
(72) 発明者 山崎 康二
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
(72) 発明者 岩野 英明
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
(74) 代理人 弁理士 鈴木 喜三郎 (外2名)

(54) 【発明の名称】 液晶表示パネル

(57) 【要約】

【課題】 T F T 駆動によるアクティブマトリクス駆動方式の液晶表示パネルにおいて、T F T の下側からの光に対する遮光性能と T F T のスイッチング特性とを改善する。

【解決手段】 一对の第1及び第2基板(1、2)間に挟持された液晶(50)と、第1基板にマトリクス状に設けられた画素電極(11)と、これをスイッチング制御するT F T (30)とを備えた液晶表示パネル(100a)において、T F T に対向する位置において第1基板とT F T との間に高融点金属からなる遮光層(3a)を設け、この遮光層に重ねて多結晶シリコン層(4a)を設ける。



(2)

1

【特許請求の範囲】

【請求項1】 一对の第1及び第2基板と、
該第1及び第2基板間に挟持された液晶と、
前記第1基板の前記液晶に対面する側にマトリクス状に
設けられた複数の透明な画素電極と、
該複数の画素電極に夫々隣接する位置において前記第1
基板に設けられており前記複数の画素電極を夫々スイッ
チング制御する複数のスイッチング素子と、
該複数のスイッチング素子に夫々対向する位置において
前記第1基板と前記複数のスイッチング素子との間に夫
々設けられた高融点金属からなる遮光層と、
該遮光層が夫々重なる位置において前記第1基板と前記
遮光層との間に夫々設けられた多結晶シリコン層と、
前記遮光層と前記複数のスイッチング素子との間に設け
られた層間絶縁層とを備えたことを特徴とする液晶表示
パネル。

【請求項2】 一对の第1及び第2基板と、
該第1及び第2基板間に挟持された液晶と、
前記第1基板の前記液晶に対面する側にマトリクス状に
設けられた複数の透明な画素電極と、
該複数の画素電極に夫々隣接する位置において前記第1
基板に設けられており前記複数の画素電極を夫々スイッ
チング制御する複数のスイッチング素子と、
該複数のスイッチング素子に夫々対向する位置において
前記第1基板と前記複数のスイッチング素子との間に夫
々設けられた高融点金属からなる遮光層と、
該遮光層に夫々重なる位置において前記遮光層と前記複
数のスイッチング素子との間に夫々設けられた多結晶シ
リコン層と、
前記多結晶シリコン層と前記複数のスイッチング素子と
の間に設けられた層間絶縁層とを備えたことを特徴とす
る液晶表示パネル。

【請求項3】 前記第1基板は、石英基板であり、
前記高融点金属は、Ti、Cr、W、Ta、Mo及びPd
のうちの少なくとも一つを含む金属シリサイドである
ことを特徴とする請求項1又は2に記載の液晶表示パネ
ル。

【請求項4】 前記遮光層は、1000から3000Å
の層厚を夫々持ち、前記多結晶シリコン層は、500か
ら2000Åの層厚を夫々持つことを特徴とする請求項
1から3のいずれか一項に記載の液晶表示パネル。

【請求項5】 前記層間絶縁層は、前記複数のスイッ
チング素子が設けられる面がスピンコート処理又はCMP
(Chemical Mechanical Polishing) 処理により平坦化されていることを特徴と
する請求項1から4のいずれか一項に記載の液晶表示パ
ネル。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、TFT（薄膜トラ

2

ンジスタ）駆動によるアクティブマトリクス駆動方式の
液晶表示パネルの技術分野に属し、特に、液晶プロジェ
クタ等に用いられる、TFTの下側にブラックマトリク
スを設けた形式の液晶表示パネルの技術分野に属する。

【0002】

【従来の技術】 従来、この種の液晶プロジェクタ等にラ
イトバルブとして用いられる液晶表示パネルにおいては
一般に、液晶層を挟んでTFTアレイ基板に対向配置さ
れる対向基板の側から投射光が入射される。ここで、投
射光がTFTのa-Si（アモルファスシリコン）膜や
p-Si（ポリシリコン）膜から構成されたチャネル形
成用の領域に入射すると、この領域において光電変換効
果により光電流が発生してしまいTFTのトランジスタ
特性が劣化する。このため、対向基板には、各TFTに
夫々対向する位置に複数のブラックマトリクスと呼ばれ
る遮光層が形成されるのが一般的である。このようなブ
ラックマトリクスは、Cr（クロム）などの金属材料
や、カーボンをフォトレジストに分散した樹脂ブラック
などの材料から作られ、上述のTFTのa-Si膜やp-
Si膜に対する遮光の他に、コントラストの向上、色
材の混色防止などの機能を有する。

【0003】 更に、この種の液晶表示パネルにおいては
特にトップゲート構造（即ち、TFTアレイ基板上にお
いてゲート電極がチャネルの上側に設けられた構造）を
採る正スタガ型又はコプラナー型のa-Si又はp-S
iTFTを用いる場合には、投射光の一部が液晶プロジ
ェクタ内の投射光学系により戻り光として、TFTアレ
イ基板の側からTFTのチャネルに入射するのを防ぐ必
要がある。

【0004】 このために、特開平9-127497号公
報、特公平3-52611号公報、特開平3-1251
23号公報、特開平8-171101号公報等では、石
英基板等からなるTFTアレイ基板上においてTFTに
対向する位置（即ち、TFTの下側）にも、ブラックマ
トリクスを形成する技術を提案している。このブラック
マトリクスにより、TFTのa-Si膜やp-Si膜に
対する戻り光の遮光が可能となるとされている。特にこ
の技術によれば、TFTアレイ基板上のブラックマトリ
クス形成工程の後に行われるTFT形成工程における高
温処理により、ブラックマトリクスが破壊されたり溶融
したりしないようにするために、ブラックマトリクスを
不透明な高融点金属から形成するようにしている。

【0005】

【発明が解決しようとする課題】 しかしながら、上述し
た従来の技術によれば、戻り光の遮光用のブラックマト
リクスは高融点金属からなるため、ブラックマトリクス
が形成される石英基板等からなるTFTアレイ基板との
熱的相性が悪い。より具体的には、高温環境と常温環境
とに置かれた場合には、ブラックマトリクスとTFTア
レイ基板との熱膨張率等の物理的性質の差に起因して両

3

者の間に応力が発生してしまう。このため、ブラックマトリクスに歪みが生じたりクラックが入ったりし、或いは、TFTアレイ基板、層間絶縁層、TFTの各構成要素等に歪みが生じたり、クラックが入ってしまう。この結果、ブラックマトリクスのクラックから戻り光の一部がTFTのチャンネルに入射したり、TFTの形成工程に悪影響を及ぼしてしまう。

【0006】更に、上述した従来の技術によれば、TFTアレイ基板の側から入射した戻り光が、ブラックマトリクスの形成されていない領域から、ブラックマトリクスとTFTとを絶縁するために設けられたNSG（ノンドープトシリケートガラス）等からなる層間絶縁層に入射する。このように入射した戻り光の一部が、当該層間絶縁層の上面や、更にチャンネルの上側に形成されるNSG等からなる他の層間絶縁層や金属電極等により反射される結果、これらの層間絶縁層等で反射又は多重反射した戻り光が、チャンネル形成用の $a-Si$ 膜や $p-Si$ 膜に入射する。この結果、チャンネルにおいて光電変換効果による光電流が発生してしまうことになる。

【0007】以上の結果、上述した従来の技術によれば、TFTの下側に遮光膜を形成したことにより、TFTのトランジスタ特性が劣化してしまうという問題点があり、更に、このように構成された遮光膜では、戻り光を遮光するには十分でないという問題点もある。

【0008】本発明は上述した問題点に鑑みなされたものであり、TFT等のスイッチング素子の下側からの戻り光等の光に対する遮光性能と該スイッチング素子のスイッチング特性とを改善し得る、アクティブマトリクス駆動方式の液晶表示パネルを提供することを課題とする。

【0009】

【課題を解決するための手段】請求項1に記載の液晶表示パネルは上記課題を解決するために、一対の第1及び第2基板と、該第1及び第2基板間に挟持された液晶と、前記第1基板の前記液晶に対面する側にマトリクス状に設けられた複数の透明な画素電極と、該複数の画素電極に夫々隣接する位置において前記第1基板に設けられており前記複数の画素電極を夫々スイッチング制御する複数のスイッチング素子と、該複数のスイッチング素子に夫々対向する位置において前記第1基板と前記複数のスイッチング素子との間に夫々設けられた高融点金属からなる遮光層と、該遮光層が夫々重なる位置において前記第1基板と前記遮光層との間に夫々設けられた多結晶シリコン層と、前記遮光層と前記複数のスイッチング素子との間に設けられた層間絶縁層とを備えたことを特徴とする。

【0010】請求項1に記載の液晶表示パネルによれば、高融点金属からなる遮光層は、スイッチング素子に対向する位置に設けられているので、第1基板の側から戻り光などの光が当該液晶表示パネルに入射しても、こ

(3)

4

の光がスイッチング素子に入射するのを防ぐことが出来る。更に、多結晶シリコン層は、遮光層が重なる位置において第1基板と遮光層との間に設けられている。このため、遮光層は、高融点金属からなるにも拘わらず、多結晶シリコン層を介して石英基板等の第1基板に形成されるので、高融点金属からなる遮光層と石英基板等からなる第1基板との熱的相性の悪さが緩和されている。より具体的には、高温環境と常温環境とに置かれた場合でも、遮光層と第1基板との熱膨張率等の物理的性質の差に起因して発生する両者間の応力を、両者間に介在する多結晶シリコン層により緩和し得る。このため、遮光層に歪みが生じたりクラックが入ったり、或いは、第1基板、多結晶シリコン層、スイッチング素子の各構成要素などに歪みが生じたり、クラックが入ってしまうのを阻止し得る。

【0011】また、仮に石英基板等の第1基板上に直接形成された高融点金属からなる遮光層をエッチング除去した後は、即ち、第1基板と遮光層とが界面を持つ状態で、遮光層をエッチング除去したと仮定すると、第1基板の表面が荒れ、最終的にはその上方に形成されるTFT等のスイッチング素子の特性が劣化する。しかしながら、本発明によれば、多結晶シリコン層が第1基板と遮光層との間に設けられているので、多結晶シリコン層と第1基板との間に界面が存在する状態で遮光層をエッチング除去することができ、この結果、第1基板の表面が比較的荒れないまま、遮光層の上方にスイッチング素子を形成できる。

【0012】請求項2に記載の液晶表示パネルは上記課題を解決するために、一対の第1及び第2基板と、該第1及び第2基板間に挟持された液晶と、前記第1基板の前記液晶に対面する側にマトリクス状に設けられた複数の透明な画素電極と、該複数の画素電極に夫々隣接する位置において前記第1基板に設けられており前記複数の画素電極を夫々スイッチング制御する複数のスイッチング素子と、該複数のスイッチング素子に夫々対向する位置において前記第1基板と前記複数のスイッチング素子との間に夫々設けられた高融点金属からなる遮光層と、該遮光層に夫々重なる位置において前記遮光層と前記複数のスイッチング素子との間に夫々設けられた多結晶シリコン層と、前記多結晶シリコン層と前記複数のスイッチング素子との間に設けられた層間絶縁層とを備えたことを特徴とする。

【0013】請求項2に記載の液晶表示パネルによれば、高融点金属からなる遮光層は、スイッチング素子に対向する位置に設けられているので、第1基板の側から戻り光などの光が当該液晶表示パネルに入射しても、この光がスイッチング素子に入射するのを防ぐことが出来る。更に、多結晶シリコン層は、遮光層に重なる位置において遮光層とスイッチング素子との間に設けられている。このため、仮に、第1基板の側から入射した戻り光

5

などの光が、遮光層の形成されていない領域から層間絶縁層に入射し、層間絶縁層の上面やスイッチング素子の構成要素等により反射されて、最終的には多重反射光として遮光層の上側まで達したとしても、遮光層上に設けられた多結晶シリコン層により吸収されるので、このような多重反射光がスイッチング素子に達することは阻止される。

【0014】尚、請求項1又は2に記載の液晶表示パネルにおいては、前記スイッチング素子を、正スタガ型又はコプラナー型のp-Si TFT（ポリシリコン薄膜トランジスタ）素子から構成し、前記複数のスイッチング素子に夫々対向する位置において前記第2基板の側にも、遮光層を設けてもよい。この場合特に、トップゲート型配置の中でチャネル形成用のp-Si層又はa-Si層は、ゲート電極よりも第1基板に近い側に配置されるが、遮光層により第1基板の側からの戻り光などの光を遮光できる。同時に、第2基板の側からの光を第2基板に設けられた遮光層により遮光できる。

【0015】請求項3に記載の液晶表示パネルは上記課題を解決するために、請求項1又は2に記載の液晶表示パネルにおいて、前記第1基板は、石英基板であり、前記高融点金属は、Ti、Cr、W、Ta、Mo及びPdのうちの少なくとも一つを含む金属シリサイドであることを特徴とする。

【0016】請求項3に記載の液晶表示パネルによれば、金属シリサイドからなりシリコンを含む遮光層と、石英基板からなる第1基板や多結晶シリコン層との熱的相性が良い。より具体的には、高温環境と常温環境とに置かれた場合でも、遮光層と第1基板や多結晶シリコン層との間で、熱膨張率等の物理的性質の差に起因して発生する応力が更に緩和される。

【0017】請求項4に記載の液晶表示パネルは上記課題を解決するために、請求項1から3のいずれか一項に記載の液晶表示パネルにおいて、前記遮光層は、1000から3000Å（オングストローム）の層厚を夫々持ち、前記多結晶シリコン層は、500から2000Åの層厚を夫々持つことを特徴とする。

【0018】請求項4に記載の液晶表示パネルによれば、遮光層は、1000Åより厚いので、遮光の効果が十分に期待でき、3000Åより薄いので、スイッチング素子の形成工程における高温環境と常温環境とにおける熱応力を、多結晶シリコン層により十分に緩和出来る程度に抑えられる。そして、多結晶シリコン層は、500Åより厚いので、遮光層で発生する応力を緩和する効果が十分に期待でき、2000Åより薄いので、後にスイッチング素子を形成する層間絶縁層の段差を、スイッチング素子を容易に形成可能な程度に抑えることができる。

【0019】請求項5に記載の液晶表示パネルは上記課題を解決するために、請求項1から4のいずれか一項に

(4)

6

記載の液晶表示パネルにおいて、前記層間絶縁層は、前記複数のスイッチング素子が設けられる面がスピコート処理又はCMP（Chemical Mechanical Polishing）処理により平坦化されていることを特徴とする。

【0020】請求項5に記載の液晶表示パネルによれば、スピコート処理又はCMP処理により平坦化された層間絶縁層の面上に、複数のスイッチング素子を設けるので、スイッチング素子を容易に形成することが可能となる。

【0021】本発明のこのような作用及び他の利得は次に説明する実施の形態から明らかにされよう。

【0022】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて説明する。

【0023】＜第1の実施の形態＞図1は、本発明の第1の実施の形態である液晶表示パネルの断面図である。尚、図1においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。また図2は、図1に示したTFTアレ

レイ基板1上に形成される各種電極等の平面図である。【0024】図1において、液晶表示パネル100aは、透明な第1基板の一例を構成するTFTアレレイ基板1と、これに対向配置される透明な第2基板の一例を構成する対向基板2とを備えている。TFTアレレイ基板1は、例えば石英基板からなり、対向基板2は、例えばガラス基板からなる。

【0025】TFTアレレイ基板1には、図2に示すように、マトリクス状に複数の透明な画素電極11が設けられており、図1に示すようにその上側には、ラビング処理等の所定の配向処理が施された配向膜12が設けられている。画素電極11は例えば、ITO膜（インジウム・ティン・オキサイド膜）などの透明導電性薄膜からなる。また配向膜12は例えば、ポリイミド薄膜などの有機薄膜からなる。

【0026】他方、対向基板2には、その全面に渡って共通電極21が設けられており、その下側には、ラビング処理等の所定の配向処理が施された配向膜22が設けられている。共通電極21は例えば、ITO膜などの透明導電性薄膜からなる。また配向膜22は、ポリイミド薄膜などの有機薄膜からなる。

【0027】TFTアレレイ基板1には、図1及び図2に示すように、複数の画素電極11に夫々隣接する位置に、複数の画素電極11を夫々スイッチング制御する、スイッチング素子の一例としての複数のTFT30が設けられている。

【0028】対向基板2には、更に、ブラックマトリクス23が、TFT30に対向する所定領域に設けられている。このようなブラックマトリクスは、Cr（クロム）やNi（ニッケル）などの金属材料や、カーボンや

7

Ti (チタン) をフォトレジストに分散した樹脂ブラックなどの材料から作られ、TFT30のp-Si (ポリシリコン) 層32に対する遮光の他に、コントラストの向上、色材の混色防止などの機能を有する。

【0029】このように構成され、画素電極11と共通電極21とが対面するように配置されたTFTアレ基板1と対向基板2との間には、後述のシール剤52 (図4及び図5参照) により囲まれた空間に液晶が封入され、液晶層50が形成される。液晶層50は、画素電極11からの電界が印加されていない状態で配向膜12及び22により所定の配向状態を採る。液晶層50は、例えば一種又は数種類のネマティック液晶を混合した液晶からなる。シール剤52は、二つの基板1及び2をそれらの周辺で張り合わせるための接着剤である。

【0030】TFT30に夫々対向する位置においてTFTアレ基板1と複数のTFT30との間には、高融点金属からなる遮光層3aが夫々設けられている。該遮光層3aが夫々重なる位置においてTFTアレ基板1と遮光層3aとの間には、多結晶シリコン層4aが夫々設けられている。更に、遮光層3aと複数のTFT30との間には、第1層間絶縁層41が設けられている。第1層間絶縁層41は、TFT30を構成するp-Si層32を遮光層3aから電氣的絶縁するために設けられるものである。更に、第1層間絶縁層41は、TFTアレ基板1の全面に形成されることにより、TFT30のための下地膜としての機能を有する。即ち、TFTアレ基板1の表面の研磨時における荒れや、洗浄後に残る汚れ等でTFT30の特性の劣化を防止する機能を有する。

【0031】本実施の形態では特に、このように遮光層3aは高融点金属からなるにも拘わらず、多結晶シリコン層4aを介して石英基板等のTFTアレ基板1上に形成されるため、遮光層3aとTFTアレ基板1との熱的相性の悪さが緩和されている。より具体的には、高温環境と常温環境とに置かれた場合でも、遮光層3aとTFTアレ基板1との熱膨張率等の物理的性質の差に起因して発生する両者間の応力を、両者間に介在する多結晶シリコン層4aにより緩和し得る。このため、遮光層3aに歪みが生じたりクラックが入ったり、或いは、TFTアレ基板1、多結晶シリコン層4b、TFT30の各構成要素などに歪みが生じたり、クラックが入ってしまう事態を、前述した従来の技術 (特開平9-127497号公報等) を用いた場合と比較して、かなり良く阻止し得る。この結果、遮光層3aの遮光性や信頼性は格段に向上することとなり、TFT30のスイッチング特性などのトランジスタ特性を改善することが出来る。

【0032】第1層間絶縁層41は、例えば、NSG (ノンドープシリケートガラス)、PSG (リンシリケートガラス)、BSG (ボロンシリケートガラス)、

(5)

8

BPSG (ボロンリンシリケートガラス) などの高絶縁性ガラス又は、酸化シリコン膜等からなる。

【0033】遮光層3aは、例えば、Ti (チタン)、Cr (クロム)、W (タングステン)、Ta (タンタル)、Mo (モリブデン) 及びPd (鉛) などの高融点金属からなる。より好ましくは、Ti、Cr、W、Ta、Mo及びPdのうちの少なくとも一つを含む金属シリサイド (例えば、タングステンシリサイドWSi) からなる。このように金属シリサイドから構成すると、即ち、シリコンを遮光層の材料に含ませると、多結晶シリコン層4aや、シリコンを含んでなる第1層間絶縁層41との熱的相性が良くなる。より具体的には、高温環境と常温環境とに置かれた場合でも、遮光層3aと多結晶シリコン層4aや第1層間絶縁層41との間で、熱膨張率等の物理的性質の差に起因して発生する応力が更に緩和される。

【0034】これらの結果、本実施の形態によれば、遮光層3aに歪みが生じたりクラックが入ったり、或いは、TFTアレ基板1、第1層間絶縁層41、TFT30の各構成要素等に歪みが生じたり、クラックが入ってしまう事態を更に効果的に回避し得る。このため、遮光層3aのクラックから戻り光の一部がTFT30のチャネルに入射することや、遮光層3a等の歪みやクラックにより、その後のTFTの形成工程に悪影響を及ぼすことを効果的に阻止できる。従って、本第1の実施の形態によれば、TFT30のトランジスタ特性が改善され、最終的には、液晶表示パネル100aにより、高コントラストで色付きの良い高画質の画像を表示することが可能となる。

【0035】更に第1の実施の形態では、前述した従来の技術 (特開平9-127497号公報等) と比べて、次の見地からもTFT30のトランジスタ特性が改善されている。即ち、前述した従来の技術の場合には、多結晶シリコン層4aが存在しないため、高融点金属からなる遮光層3aをエッチング除去した後に、TFT30の下地となる第1層間絶縁層41が形成され、その上にTFT30が形成されることになる。ここで、本願発明者らの研究によれば、高融点金属からなる遮光層3aをエッチング除去した後は、石英基板等のTFTアレ基板1の表面が荒れ、最終的にはその上方に形成されるTFT30の特性が劣化することが知られている。ここで、第1の実施の形態では、多結晶シリコン層4aとTFTアレ基板1との間に界面が存在すると共に、TFTアレ基板1と遮光層3aとでは間に界面が存在しない層構造を採用しているため、遮光層3a及び多結晶シリコン層4aをエッチング除去した後でも、TFTアレ基板1の表面が比較的荒れないで済む。従って、第1の実施の形態によれば、TFT30のトランジスタ特性がより改善される。

【0036】尚、遮光層3aは、図示しないコンタクト

9

ホールを介して所定の配線を経て、接地されているか又は定電位源に接続されている。このため、遮光層3aの電位が変化することにより、TFT30のスイッチング特性等に悪影響を及ぼすことがない。但し、遮光層3aは電氣的に浮遊していてもよいし、或いは、遮光層3aを後述の蓄積容量(図3参照)用の配線として使用することも可能である。

【0037】図1に示すように、TFT30は、ゲート電極31(走査電極)、ゲート電極31からの電界によりチャネルが形成されるp-Si層32、ゲート電極31とp-Si層32とを絶縁するゲート絶縁層33、p-Si層32に形成されたソース領域34、ソース電極35(信号電極)、及びp-Si層32に形成されたドレイン領域36を備えている。ドレイン領域36には、複数の画素電極11のうちの対応する一つが接続されている。ソース領域34及びドレイン領域36は後述のように、p-Si層32に対し、n型又はp型のチャネルを形成するかに応じて所定濃度のn型用又はp型用のドーパントをドーピングすることにより形成されている。n型チャネルのTFTは、動作速度が速いという利点があり、p型チャネルのTFTは、p型チャネルを形成するのが容易であるという利点がある。ソース電極35(信号電極)は、画素電極11と同様にITO膜等の透明導電性薄膜から構成してもよいし、Al等の金属膜や金属シリサイドなどの不透明な薄膜から構成してもよい。また、ゲート電極31、ゲート絶縁層33及び第1層間絶縁層41の上には、ソース領域34へ通じるコンタクトホール37及びドレイン領域36へ通じるコンタクトホール38が夫々形成された第2層間絶縁層42が形成されている。このソース領域34へのコンタクトホール37を介して、ソース電極35(信号電極)はソース領域34に電氣的接続されている。更に、ソース電極35(信号電極)及び第2絶縁層42の上には、ドレイン領域36へのコンタクトホール38が形成された第3層間絶縁層43が形成されている。このドレイン領域36へのコンタクトホール38を介して、画素電極11はドレイン領域36に電氣的接続されている。前述の画素電極11は、このように構成された第3層間絶縁層43の上面に設けられている。

【0038】ここで、一般には、チャネルが形成されるp-Si層32は、光が入射するとp-Siが有する光電変換効果により光電流が発生してしまいTFT30のトランジスタ特性が劣化するが、本実施の形態では、対向基板2には各TFT30に夫々対向する位置に複数のブラックマトリクス23が形成されているので、入射光が直接にp-Si層32に入射することが防止される。更にこれに加えて又は代えて、ゲート電極31を上側から覆うようにソース電極35(信号電極)をAl等の不透明な金属薄膜から形成すれば、ブラックマトリクス23と共に又は単独で、p-Si層32への入射光(即

(6)

10

ち、図1で上側からの光)の入射を効果的に防ぐことが出来る。

【0039】図2の平面図に示すように、以上のように構成された画素電極11は、TFTアレイ基板1上にマトリクス状に配列され、各画素電極11に隣接してTFT30が設けられており、また画素電極11の縦横の境界に夫々沿ってソース電極35(信号電極)及びゲート電極31(走査電極)が設けられている。尚、図2は、説明の都合上、画素電極11のマトリクス状配列等を簡略化して示すためのものであり、実際の各電極は層間絶縁層の間や上をコンタクトホール等を介して配線されており、図1から分かるように3次元的により複雑な構成を有している。

【0040】図1には示されていないが、図3に示すように、画素電極11には蓄積容量70が夫々設けられている。この蓄積容量70は、より具体的には、p-Si層32と同一工程により形成されるp-Si層32'、ゲート絶縁層33と同一工程により形成される絶縁層33'、ゲート電極31と同一工程により形成される蓄積容量電極(容量線)31'、第2及び第3層間絶縁層42及び43、並びに第2及び第3層間絶縁層42及び43を介して蓄積容量電極31'に対向する画素電極11の一部から構成されている。このように蓄積容量70が設けられているため、デューティ比が小さくても高詳細な表示が可能とされる。尚、蓄積容量電極(容量線)31'は、図2に示すように、TFTアレイ基板1の面上においてゲート電極(走査電極)31と平行に設けられている。また前述のように、遮光層3を蓄積容量70の配線として利用することも可能である。

【0041】以上のように構成された液晶表示パネル100の全体構成を図4及び図5を参照して説明する。尚、図4は、TFTアレイ基板1をその上に形成された各構成要素と共に対向基板2の側から見た平面図であり、図5は、対向基板2を含めて示す図4のH-H'断面図である。

【0042】図4において、TFTアレイ基板1の上には、シール剤52がその縁に沿って設けられており、その内側に並行して対向基板2の周辺見切り53が規定されている。シール剤52の外側の領域には、X側駆動用ドライバ回路101及び実装端子102がTFTアレイ基板1の一辺に沿って設けられており、Y側駆動用ドライバ回路104が、この一辺に隣接する2辺に沿って設けられている。更にTFTアレイ基板1の残る一辺には、複数の配線105が設けられている。また、シール剤52の四隅には、TFTアレイ基板1と対向基板2との間で電氣的導通をとるための導通剤からなる銀点106が設けられている。そして、図5に示すように、図4に示したシール剤52とほぼ同じ輪郭を持つ対向基板2が当該シール剤52によりTFTアレイ基板1に固着されている。

11

【0043】X側駆動用ドライバ回路101及びY側駆動用ドライバ回路104は配線によりソース電極35

(信号電極)及びゲート電極31(走査電極)に夫々電氣的接続されている。X側駆動用ドライバ回路101には、図示しない制御回路から即時表示可能な形式に変換された表示信号が入力され、Y側駆動用ドライバ回路104がパルスのゲート電極31(走査電極)に順番にゲート電圧を送るのに合わせて、X側駆動用ドライバ回路101は表示信号に応じた信号電圧をソース電極35(信号電極)に送る。本実施の形態では特に、TFT30はp-Si(ポリシリコン)タイプのTFTであるので、TFT30の形成時に同一工程で、X側駆動用ドライバ回路101及びY側駆動用ドライバ回路104を形成することも可能であり、製造上有利である。

【0044】尚、X側駆動用ドライバ回路101及びY側駆動用ドライバ回路104をTFTアレ基板1の上に設ける代わりに、例えばTAB(テープオートメテッドボンディング基板)上に実装された駆動用LSIに、TFTアレ基板1の周辺部に設けられた異方性導電フィルムを介して電氣的及び機械的に接続するようにしてもよい。

【0045】また、図1から図5には示されていないが、対向基板2の投射光が入射する側及びTFTアレ基板1の投射光が出射する側には夫々、例えば、TN(ツイステッドネマティック)モード、STN(スーパーTN)モード、D-STN(ダブルSTN)モード等の動作モードや、ノーマリーホワイトモード/ノーマリーブラックモードの別に応じて、偏光フィルム、位相差フィルム、偏光板などが所定の方角で配置される。

【0046】次に以上のように構成された本実施の形態の動作について図1から図5を参照して説明する。

【0047】先ず、制御回路から表示信号を受けたX側駆動用ドライバ回路101は、この表示信号に応じたタイミング及び大きさで信号電圧をソース電極35(信号電極)に印加し、これと並行して、Y側駆動用ドライバ回路104は、所定タイミングで電極31(走査電極)にゲート電圧をパルスの順次印加し、TFT30は駆動される。これにより、ゲート電圧がオンとされた時点でソース電圧が印加されたTFT30においては、ソース領域34、p-Si層32に形成されたチャネル及びドレイン領域36を介して画素電極11に電圧が印加される。そして、この画素電極11の電圧は、ソース電圧が印加された時間よりも例えば3桁も長い時間だけ蓄積容量70(図3参照)により維持される。

【0048】このように画素電極11に電圧が印加されると、液晶層50におけるこの画素電極11と共通電極21とに挟まれた部分における液晶の配向状態が変化し、ノーマリーホワイトモードであれば、電圧が印加された状態で入射光がこの液晶部分を通過不可能とされ、ノーマリーブラックモードであれば、電圧が印加された

(7)

12

状態で入射光がこの液晶部分を通過可能とされ、全体として液晶表示パネル100aからは表示信号に応じたコントラストを持つ光が出射する。

【0049】特に本実施の形態では、TFT30の下側には、遮光層3aが多結晶シリコン層4aに重ねて設けられているので、前述のように戻り光による悪影響が低減されるため、TFT30のトランジスタ特性が改善されており、最終的には、液晶表示パネル100aにより、高コントラストで色付きの良い高画質の画像を表示することが可能となる。

【0050】次に、このように遮光層3aが多結晶シリコン層4aに重ねて設けられている構成により、TFT30のトランジスタ特性がどの程度改善されたかについて図6及び図7を参照して、検討を加える。図6は、図1に示した液晶表示パネル100aについてのトランジスタ特性試験の結果を示す。これに対し、図7は、図1に示した液晶表示パネル100aの構成から、多結晶シリコン層4aを除外した構成を有する比較例についてのトランジスタ特性試験の結果を示す。尚、図6及び図7において、横軸には、ゲート電極に印加するゲート電圧を示し、縦軸にはその際に流れるドレイン電流を示す。また、ソース・ドレイン電圧として15V及び4Vの2種類の状態について、夫々試験結果が示されている。

【0051】図6と図7とを比較すると、TFTアレ基板1上に先ず多結晶シリコン層4aを形成して、これに重ねて遮光層3aを設けた本実施の形態が、TFTアレ基板1の上に直接遮光層3aを形成した場合よりも遥かにトランジスタのスイッチング特性が改善されていることが分かる。

【0052】尚、図7に示した比較例の場合でも、遮光層3aを全く設けることなく、戻り光の影響をそのまま受けた例と比較すると、TFTのスイッチング特性は改善されている。

【0053】次に、第1の実施の形態の液晶表示パネル100aの製造プロセスについて図8及び図9を参照して説明する。

【0054】先ず図8の工程(1)に示すように、石英基板、ハードガラス等のTFTアレ基板1を用意する。ここで、好ましくはN₂(窒素)等の不活性ガス雰囲気且つ約1000℃の高温でアニール処理し、後に実施される高温プロセスにおけるTFTアレ基板1に生じる歪みが少なくなるように前処理しておく。このように処理されたTFTアレ基板1の全面に減圧CVD法等により多結晶シリコン層を形成し、更に、スパッタリング法、CVD法等により好ましくはTi、Cr、W、Ta、Mo及びPdなどの高融点金属の金属シリサイド等からなる遮光層を多結晶シリコン層の全面に形成する。その後フォトリソグラフィ工程及びエッチング工程により、これらの基板全面に形成された多結晶シリコン層及び遮光層をTFT30を形成する予定の領域にのみ

13

残して、多結晶シリコン層4a及び遮光層3aを形成する。この際、多結晶シリコン層4aの層厚としては、約500～2000Å（オングストローム）が好ましい。500Åより薄いと、高融点金属からなる遮光層3aを設けることに起因して生じる応力を緩和する効果が実用上低くなり、また2000Åより厚くても、応力を緩和する効果がそれ程高まらない他方で、多結晶シリコン層4a自体を形成するための時間やコストの上昇を招くと共に後にTF T 30を形成する第1層間絶縁層41の段差が大きくなり過ぎてTF T 30の形成が困難になる。また、遮光層3aの層厚としては、約1000～3000Åが好ましく、更に約1500～2500Åがより好ましい。1000Åより薄いと遮光の効果（例えば、1/1000程度の透過率）が十分に得られず、また3000Åより厚いと、TF T 30の形成工程における高温環境と常温環境とにおける熱応力の発生が大きくなり過ぎ、加えて遮光層3a自体を形成するための時間やコストの上昇を招くと共に後にTF T 30を形成する第1層間絶縁層41の段差が大きくなり過ぎてTF T 30の形成が困難になる。更に遮光層3aの厚さが約1500～2500Åであれば、良好な遮光性が得られると共に、段差の問題も実用上殆ど生じないで済む。遮光層3a及び多結晶シリコン層4aは、少なくともTF T 30のp-Si層32のうちチャンネル形成用の領域、ソース領域34及びドレイン領域36をTF T アレイ基板1の裏面から見て覆うように形成される。

【0055】尚、上述の多結晶シリコン層4aをエッチングしてから遮光層3aを形成するようにしてもよい。但し、本実施の形態では、基本的に多結晶シリコン層4aに重ねて遮光層3aを形成すればよいので、両者の外形を正確にアラインメントし、且つ工程数を減らすためには、上述のように両者のエッチングをまとめて行うのが有利である。

【0056】次に図8の工程（2）に示すように、遮光層3aの上に、例えば、常圧又は減圧CVD法等によりTEOS（テトラ・エチル・オルソ・シリケート）ガス、TEB（テトラ・エチル・ボートレート）ガス、TMOP（テトラ・メチル・オキシ・フォスレート）ガス等を用いて、NSG、PSG、BSG、BPSGなどのシリケートガラス膜、窒化膜や酸化シリコン膜等からなる第1層間絶縁層41を形成する。第1層間絶縁層41の層厚は、約500～8000Åが好ましい。或いは、熱酸化膜を形成した後、更に減圧CVD法等により高温酸化シリコン膜（HTO膜）や窒化膜を約500Åの比較的薄い厚さに堆積し、厚さ約2000Åの多層構造を持つ第1層間絶縁層41を形成してもよい。更に、このようなシリケートガラス膜に重ねて又は代えて、SOG（スピニンガラス：紡糸状ガラス）をスピニンコートして平坦な膜を形成してもよく、又はCMP処理を施してもよい。このように、第1層間絶縁層41の上面をスピ

(8)

14

コート処理又はCMP処理により平坦化しておけば、後に上側にTF T 30を形成し易いという利点が得られる。

【0057】尚、第1層間絶縁層41に対し、約900℃のアニール処理を施すことにより、汚染を防ぐと共に平坦化してもよい。

【0058】次に図8の工程（3）に示すように、第1層間絶縁層41の上に、約450～550℃、好ましくは約500℃の比較的低温環境中で、流量約400～600cc/minのモノシランガス、ジシランガス等を用いた減圧CVD（例えば、圧力約20～40PaのCVD）により、a-Si（アモルファスシリコン）膜を形成する。その後、窒素雰囲気中で、約600～700℃にて約1～10時間、好ましくは、4～6時間のアニール処理を施することにより、p-Si（ポリシリコン）膜を約500～2000Åの厚さ、好ましくは約1000Åの厚さとなるまで固相成長させる。この際、nチャネル型のTF T 30を作成する場合には、Sb（アンチモン）、As（砒素）、P（リン）などのV族元素のドーパントを僅かにイオン注入等によりドーブする。また、TF T 30をpチャネル型とする場合には、Al（アルミニウム）、B（ボロン）、Ga（ガリウム）、In（インジウム）などのIII族元素のドーパントを僅かにイオン注入等によりドーブする。尚、a-Si膜を経ないで、減圧CVD法等によりp-Si膜を直接形成しても良い。或いは、減圧CVD法等により堆積したp-Si膜にシリコンイオンを打ち込んで一旦非晶質化（アモルファス化）し、その後アニール処理等により再結晶化させてp-Si膜を形成しても良い。

【0059】次に図8の工程（4）に示すように、p-Si層32を約900～1300℃の温度、好ましくは約1000℃の温度により熱酸化することにより、約300Åの比較的薄い厚さの熱酸化膜を形成し、更に減圧CVD法等により高温酸化シリコン膜（HTO膜）や窒化膜を約500Åの比較的薄い厚さに堆積し、多層構造を持つゲート絶縁層33を形成する。この結果、p-Si層32の厚さは、約300～1500Åの厚さ、好ましくは約350～450Åの厚さとなり、ゲート絶縁層33の厚さは、約200～1500Åの厚さ、好ましくは約300Åの厚さとなる。このように高温熱酸化時間を短くすることにより、特に8インチ程度の大型ウエーハを使用する場合に熱によるそりを防止することができる。但し、p-Si層32を熱酸化することのみにより、単一層構造を持つゲート絶縁層33を形成してもよい。

【0060】次に図8の工程（5）に示すように、p-Si層32上にゲート絶縁層33を介して、減圧CVD法等によりp-Siを堆積した後、ゲートマスクを用いたフォトリソグラフィ工程、エッチング工程等により、ゲート電極31（走査電極）を形成する。

15

【0061】但し、ゲート電極31（走査電極）を、p-Si層ではなく、Al等の金属膜又は金属シリサイド膜から形成してもよいし、若しくはこれらの金属膜又は金属シリサイド膜とp-Si膜を組み合わせて多層に形成してもよい。この場合、ゲート電極31（走査電極）を、ブラックマトリクス23が覆う領域の一部又は全部に対応する遮光膜として配置すれば、金属膜や金属シリサイド膜の持つ遮光性により、ブラックマトリクス23の一部又は全部を省略することも可能となる。この場合特に、対向基板2とTFTアレ基板1との貼り合わせずれによる画素開口率の低下を防ぐことが出来る利点がある。

【0062】次に図9の工程（6）に示すように、TFT30をLDD（Lightly Doped Drain Structure）構造を持つnチャネル型のTFTとする場合、p型のp-Si層32に、先ずソース領域34及びドレイン領域36のうちチャネル側に夫々隣接する一部を構成する低濃度ドーブ領域を形成するために、ゲート電極31を拡散マスクとして、PなどのV族元素のドーパントを低濃度で（例えば、Pイオンを $1 \sim 3 \times 10^{13}/\text{cm}^2$ のドーズ量にて）ドーブし、続いて、ゲート電極31よりも幅の広いマスクでレジスト層をゲート電極31上に形成した後、同じくPなどのV族元素のドーパントを高濃度で（例えば、Pイオンを $1 \sim 3 \times 10^{15}/\text{cm}^2$ のドーズ量にて）ドーブする。また、TFT30をpチャネル型とする場合、n型のp-Si層32に、ソース領域34及びドレイン領域36を形成するために、BなどのIII族元素のドーパントを用いてドーブする。このようにLDD構造とした場合、ショートチャネル効果を低減できる利点が得られる。尚、このように低濃度と高濃度の2段階に分けて、ドーブを行わなくても良い。例えば、低濃度のドーブを行わずに、オフセット構造のTFTとしてもよく、ゲート電極31をマスクとして、Pイオン、Bイオン等を用いたイオン注入技術によりセルフアライン型のTFTとしてもよい。

【0063】これらの工程と並行して、nチャネル型p-SiTFT及びpチャネル型p-SiTFTから構成されるCMOS（相補型MOS）構造を持つX側駆動用ドライバ回路101及びY側駆動用ドライバ回路104をTFTアレ基板1上の周辺部に形成する。このように、TFT30はp-SiTFTであるので、TFT30の形成時に同一工程で、X側駆動用ドライバ回路101及びY側駆動用ドライバ回路104を形成することができ、製造上有利である。

【0064】次に図9の工程（7）に示すように、ゲート電極31（走査電極）を覆うように、例えば、常圧又は減圧CVD法やTEOSガス等を用いて、NSG、PSG、BSG、BPSGなどのシリケートガラス膜、窒化膜や酸化シリコン膜等からなる第2層間絶縁層42を

16

形成する。第2層間絶縁層42の層厚は、約5000～15000Åが好ましい。そして、ソース領域34及びドレイン領域36を活性化するために約1000°Cのアニール処理を20分程度行った後、ソース電極31（信号電極）に対するコンタクトホール37を、反応性エッチング、反応性イオンビームエッチング等のドライエッチングにより形成する。この際、反応性エッチング、反応性イオンビームエッチングのような異方性エッチングにより、コンタクトホール37を開口した方が、開口形状をマスク形状とほぼ同じにできるという利点がある。但し、ドライエッチングとウエットエッチングとを組み合わせると開口すれば、コンタクトホール37をテーパ状にできるので、配線接続時の断線を防止できるという利点が得られる。また、ゲート電極31（走査電極）を図示しない配線と接続するためのコンタクトホールも、コンタクトホール37と同一の工程により第2層間絶縁層42に開ける。

【0065】次に図9の工程（8）に示すように、第2層間絶縁層42の上に、スパッタリング処理等により、Al等の低抵抗金属や金属シリサイド等を、約1000～5000Åの厚さに堆積し、更にフォトリソグラフィ工程、ウエットエッチング工程等により、ソース電極35（信号電極）を形成する。

【0066】この場合、ソース電極35（信号電極）を、ブラックマトリクス23が覆う領域の一部又は全部に対応する遮光膜として配置すれば、Al等の金属膜や金属シリサイド膜の持つ遮光性により、ブラックマトリクス23の一部又は全部を省略することも可能となる。この場合特に、対向基板2とTFTアレ基板1との貼り合わせずれによる画素開口率の低下を防ぐことが出来る利点がある。

【0067】次に図9の工程（9）に示すように、ソース電極35（信号電極）上を覆うように、例えば、常圧又は減圧CVD法やTEOSガス等を用いて、NSG、PSG、BSG、BPSGなどのシリケートガラス膜、窒化膜や酸化シリコン膜等からなる第3層間絶縁層43を形成する。第3層間絶縁層43の層厚は、約5000～15000Åが好ましい。或いは、このようなシリケートガラス膜に代えて又は重ねて、有機膜やSOG（スピノンガラス）をスピノコートして平坦な膜を形成してもよく、又はCMP処理を施してもよい。

【0068】更に、画素電極11とドレイン領域36とを電氣的接続するためのコンタクトホール38を、反応性エッチング、反応性イオンビームエッチング等のドライエッチングにより形成する。この際、反応性エッチング、反応性イオンビームエッチングのような異方性エッチングにより、コンタクトホール38を開口した方が、開口形状をマスク形状とほぼ同じにできるという利点が得られる。但し、ドライエッチングとウエットエッチングとを組み合わせると開口すれば、コンタクトホール38

(10)

17

をテープ状にできるので、配線接続時の断線を防止できるという利点が得られる。

【0069】次に図9の工程(10)に示すように、第3層間絶縁層43の上に、スパッタリング処理等により、ITO膜等の透明導電性薄膜を、約500～2000Åの厚さに堆積し、更にフォトリソグラフィ工程、ウェットエッチング工程等により、画素電極11を形成する。尚、当該液晶表示パネル100aを反射型の液晶表示装置に用いる場合には、A1等の反射率の高い不透明な材料から画素電極11を形成してもよい。

【0070】続いて、画素電極11の上にポリイミド系の配向膜の塗布液を塗布した後、所定のプレティルト角を持つように且つ所定方向でラビング処理を施すこと等により、図1に示した配向膜12が形成される。

【0071】他方、図1に示した対向基板2については、ガラス基板等が先ず用意され、この上において複数のTFT30に夫々対応した位置にブラックマトリクス23が、例えば金属クロムをスパッタリングした後、フォトリソグラフィ工程、エッチング工程を経て形成される。尚、ブラックマトリクス23は、CrやNiなどの金属材料の他、カーボンやTiをフォトレジストに分散した樹脂ブラックなどの材料から形成してもよい。その後、対向基板2の全面にスパッタリング処理等により、ITO等の透明導電性薄膜を、約500～2000Åの厚さに堆積することにより、共通電極21を形成する。更に、共通電極21の全面にポリイミド系の配向膜の塗布液を塗布した後、所定のプレティルト角を持つように且つ所定方向でラビング処理を施すこと等により、配向膜22が形成される。

【0072】最後に、上述のように各層が形成されたTFTアレ基板1と対向基板2とは、配向膜12及び22が対面するようにシール剤52により張り合わされ、真空吸引等により、両基板間の空間に、例えば複数種類のネマティック液晶を混合してなる液晶が吸引されて、液晶層50が形成される。

【0073】尚、図3に示した蓄積容量70については、p-Si層32'を上述のp-Si層32と同一工程により第1層間絶縁層41上に形成し、その上に絶縁層33'を上述のゲート絶縁層33と同一工程により形成し、更にその上に蓄積容量電極(容量線)31'をゲート電極31と同一工程により形成すれば良い。

【0074】以上の製造プロセスにより、図1に示した液晶表示パネル100aが完成する。

【0075】<第2の実施の形態>図10は、本発明の第2の実施の形態である液晶表示パネルの断面図である。尚、図10においては、図1の場合と同様に、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や部材毎に縮尺を異ならしめてある。また、図10において、図1と同様の構成要素については同様の参照符号を付し、その説明は省略する。

18

【0076】図10において、液晶表示パネル100bは、図1に示した第1の実施の形態における遮光層3a及び多結晶シリコン層4aの代わりに、その積層順序が逆転している遮光層3bと多結晶シリコン層4bを備えており、その他の構成については、第1の実施の形態と同様である。また、第2の実施の形態の液晶表示パネル100bの製造プロセスについても第1の実施の形態のそれとほぼ同じであり、遮光層と多結晶シリコン層との成膜順序が逆になる点が異なる。

【0077】即ち、図10において、TFTアレ基板1の上には、遮光層3bが形成されており、これに重ねて多結晶シリコン層4bが形成されている。そして、第1層間絶縁層41は、この多結晶シリコン層4b上に形成されている。遮光層3bは、第1の実施の形態の場合と同様に、例えば、Ti、Cr、W、Ta、Mo及びPdのうちの少なくとも一つを含む金属シリサイドからなる。このように金属シリサイドから構成すると、多結晶シリコン層4bや、シリコンを含んでなる石英基板等からなるTFTアレ基板1との熱的相性が良くなる。より具体的には、高温環境と常温環境とに置かれた場合でも、遮光層3bと多結晶シリコン層4bやTFTアレ基板1との間で、熱膨張率等の物理的性質の差に起因して発生する応力が更に緩和される。

【0078】これらの結果、第2の実施の形態によれば、遮光層3bに歪みが生じたりクラックが入ったり、或いは、TFTアレ基板1、TFT30の各構成要素、第1層間絶縁層41等に歪みが生じたり、クラックが入ってしまう事態を効果的に回避し得る。このため、遮光層3bのクラックから戻り光の一部がTFT30のチャンネルに入射することや、遮光層3b等の歪みやクラックにより、その後のTFTの形成工程に悪影響を及ぼすことを効果的に阻止できる。従って、本実施の形態によれば、TFT30のトランジスタ特性が改善され、最終的には、液晶表示パネル100bにより、より高画質の画像を表示することが可能となる。

【0079】第2の実施の形態では特に、以下図11及び図12を参照して説明するように多重反射を阻止し得る。

【0080】即ち、図11に示すように第1実施の形態によれば、一方で、入射光は複数の矢印L₁で示すように、ブラックマトリクス23やソース電極35を構成するA1等からなる金属膜などにより遮光されるためチャンネル形成用のp-Si層32に入射することはない。他方で、TFTアレ基板1の側から入射した戻り光が、遮光層3aの形成されていない領域から、複数の矢印L₂で示すように、第1層間絶縁層41に入射する。このように入射した戻り光の一部が、特に反射率の高いソース電極35(信号電極)の下面、第1層間絶縁層41の上面、第2層間絶縁層42等により反射される結果、このような第1層間絶縁層41等で反射又は多重反射した

(11)

19

戻り光が、最終的には遮光層3aの上面(p-Si層32に対向する面)やソース電極35(信号電極)の下面で反射され、チャンネル形成用のp-Si層32に入射してしまう。従って、第1の実施の形態によれば、使用環境等によっては、戻り光によりTFT30のスイッチング特性が劣化してしまう恐れがある。

【0081】これに対し、図12に示すように本第2の実施の形態によれば、このようなソース電極35(信号電極)、第1層間絶縁層41等で反射又は多重反射した戻り光が、最終的には遮光層3bの上面(p-Si層32に対向する面)に設けられた多結晶シリコン層4bで吸収されるので、チャンネル形成用のp-Si層32に入射する戻り光を低減し得る。従って、第2の実施の形態によれば、戻り光によるTFT30のスイッチング特性等の劣化を阻止できる。

【0082】以上説明した各実施の形態における液晶表示パネル100a又は100bは、カラー液晶プロジェクトに適用されるため、3つの液晶表示パネル100aがRGB用のライトバルブとして夫々用いられ、各パネルには夫々RGB色分解用のダイクロミックミラーを介して分解された各色の光が入射光として夫々入射されることになる。従って、各実施の形態では、対向基板2に、カラーフィルタは設けられていない。しかしながら、液晶表示パネル100a又は100bにおいてもブラックマトリクス23の形成されていない画素電極11に対向する所定領域にRGBのカラーフィルタをその保護膜と共に、対向基板2上に形成してもよい。このようにすれば、液晶プロジェクト以外の直視型や反射型のカラー液晶テレビなどのカラー液晶表示装置に本実施の形態の液晶表示パネルを適用できる。

【0083】各実施の形態の液晶表示パネル100a又は100bでは、従来と同様に入射光を対向基板2の側から入射することとしたが、遮光層3a又は3bが存在するので、TFTアレイ基板1の側から入射光を入射し、対向基板2の側から出射するようにしても良い。即ち、このように液晶表示パネル100a又は100bを液晶プロジェクトに取り付けても、チャンネル形成用のp-Si層32に光が入射することを防ぐことが出来、高画質の画像を表示することが可能である。

【0084】各実施の形態の液晶表示パネル100a又は100bにおいて、TFTアレイ基板1側における液晶分子の配向不良を抑制するために、第3層間絶縁層43の上に更に平坦化膜をスピンコート等で塗布してもよく、又はCMP処理を施してもよい。

【0085】各実施の形態から明らかなように、遮光層の上側及び下側に多結晶シリコン層を夫々設ける構成を採用することも可能である。この場合には特に、これら全体の層厚が厚くなるという短所があるが、第1層間絶縁層の上面を平坦化すること等により、この短所は補える。

【0086】また、各実施の形態では、液晶表示パネル

20

100a又は100bのスイッチング素子は、正スタガ型又はコプラナー型のp-SiTFTであるとして説明したが、逆スタガ型のTFTやa-SiTFT等の他の形式のTFTに対しても、戻り光がチャンネル形成用の半導体層に入射するのを阻止するという課題の下に、各種の形態での応用が可能である。

【0087】更に、各実施の形態の液晶表示パネル100a又は100bにおいては、一例として液晶層50をネマティック液晶から構成したが、液晶を高分子中に微小粒として分散させた高分子分散型液晶を用いれば、配向膜12及び22、並びに前述の偏光フィルム、偏光板等が不要となり、光利用効率が高まることによる液晶表示パネルの高輝度化や低消費電力化の利点が得られる。更に、画素電極11をAl等の反射率の高い金属膜から構成することにより、液晶表示パネル100a又は100bを反射型液晶表示装置に適用する場合には、電圧無印加状態で液晶分子がほぼ垂直配向されたSH(スーパーホメオトロピック)型液晶などを用いても良い。更にまた、液晶表示パネル100a又は100bにおいては、液晶層50に対し垂直な電界(縦電界)を印加するように対向基板2の側に共通電極21を設けているが、液晶層50に平行な電界(横電界)を印加するように一対の横電界発生用の電極から画素電極11を夫々構成する(即ち、対向基板2の側には縦電界発生用の電極を設けることなく、TFTアレイ基板1の側に横電界発生用の電極を設ける)ことも可能である。このように横電界を用いると、縦電界を用いた場合よりも視野角を広げる上で有利である。その他、各種の液晶材料(液晶相)、動作モード、液晶配列、駆動方法等に本実施の形態を適用することが可能である。

【0088】

【発明の効果】請求項1に記載の液晶表示パネルによれば、高融点金属からなる遮光層は、スイッチング素子に対向する位置に設けられており、多結晶シリコン層は、遮光層が重なる位置において第1基板と遮光層との間に設けられているので、遮光層に歪みが生じたりクラックが入ったり、或いは、第1基板、多結晶シリコン層、スイッチング素子の各構成要素などに歪みが生じたり、クラックが入ってしまうのを阻止し得る。更に多結晶シリコン層と第1基板との間に界面が存在する状態で遮光層をエッチング除去すれば、第1基板の表面が比較的荒れないまま、遮光層の上方にスイッチング素子を形成できる。この結果、遮光層の遮光性や信頼性は格段に向上することとなり、スイッチング素子のスイッチング特性を改善できる。これらの結果、高コントラストで色付きのよい高画質の画像表示が可能となる。

【0089】請求項2に記載の液晶表示パネルによれば、高融点金属からなる遮光層は、スイッチング素子に対向する位置に設けられており、多結晶シリコン層は、遮光層に重なる位置において遮光層とスイッチング素子

(12)

21

との間に設けられているので、第1基板の側から入射した戻り光などの光が、多重反射光として遮光層の上側まで達したとしても、スイッチング素子に達することを阻止できるので、この光によるスイッチング素子のスイッチング特性の劣化を低減できる。

【0090】請求項3に記載の液晶表示パネルによれば、シリコンを含む遮光層と、多結晶シリコン層や石英基板からなる第1基板との熱的相性が良いので、遮光層に歪みが生じたりクラックが入ったり、或いは、第1基板、スイッチング素子の各構成要素、層間絶縁層等に歪みが生じたり、クラックが入ってしまう事態をより効果的に回避し得る。

【0091】請求項4に記載の液晶表示パネルによれば、スイッチング素子の形成工程における高温環境と常温環境とにおける熱応力を、多結晶シリコン層により十分に緩和出来、十分な遮光効果を得つつ、層間絶縁層上に比較的容易にスイッチング素子を作成できる。

【0092】請求項5に記載の液晶表示パネルによれば、平坦な層間絶縁層の上側に、スイッチング素子を容易に形成することができ、容易な製造工程を通してスイッチング素子のスイッチング特性をより改善できる。

【図面の簡単な説明】

【図1】 第1の実施の形態の液晶表示パネルの構成を示す断面図である。

【図2】 図1の液晶表示パネルを構成するTFTアレ基板の平面図である。

【図3】 図1の液晶表示パネルを構成する蓄積容量の断面図である。

【図4】 図1の液晶表示パネルの全体構成を示す平面図である。

【図5】 図1の液晶表示パネルの全体構成を示す断面図である。

【図6】 本実施の形態の液晶表示パネルに設けられたTFTの特性を示す特性図である。

【図7】 比較例としての液晶表示パネルに設けられたTFTの特性を示す特性図である。

【図8】 図1の液晶表示パネルの製造プロセスを順を

22

追って示す工程図(その1)である。

【図9】 図1の液晶表示パネルの製造プロセスを順を追って示す工程図(その2)である。

【図10】 第2の実施の形態の液晶表示パネルの構成を示す断面図である。

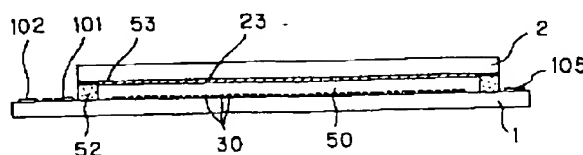
【図11】 第1の実施の形態の液晶表示パネルにおける戻り光による多重反射光の経路を示す断面図である。

【図12】 第2の実施の形態の液晶表示パネルにおける戻り光による反射光の経路を示す断面図である。

【符号の説明】

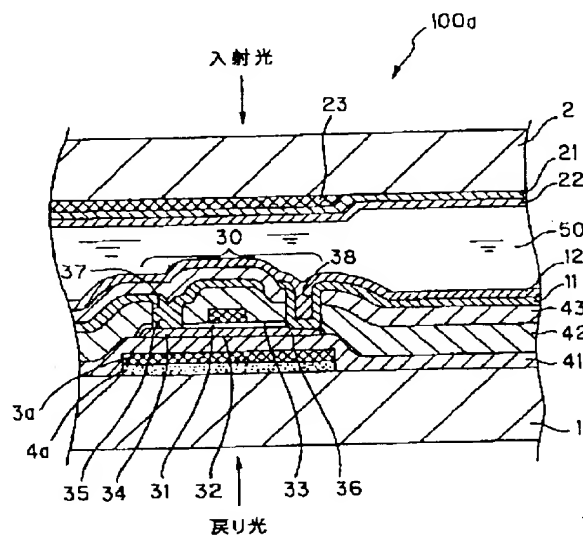
- 1…TFTアレ基板
- 2…対向基板
- 3a、3b…遮光層
- 4a、4b…多結晶シリコン層
- 11…画素電極
- 12…配向膜
- 21…共通電極
- 22…配向膜
- 23…ブラックマトリクス
- 30…TFT
- 31…ゲート電極
- 32…p-Si層
- 33…ゲート絶縁層
- 34…ソース領域
- 35…ソース電極(信号電極)
- 36…ドレイン領域
- 37、38…コンタクトホール
- 41…第1層間絶縁層
- 42…第2層間絶縁層
- 43…第3層間絶縁層
- 50…液晶層
- 52…シール剤
- 100a、100b…液晶表示パネル
- 101…X側駆動用ドライバ回路
- 102…実装端子
- 104…Y側駆動用ドライバ回路

【図5】

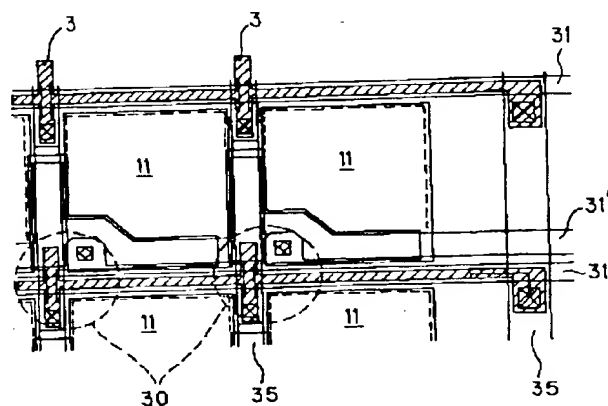


(13)

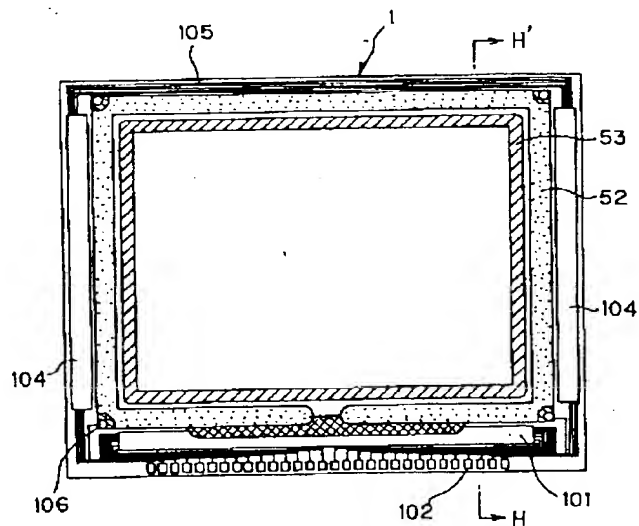
【図1】



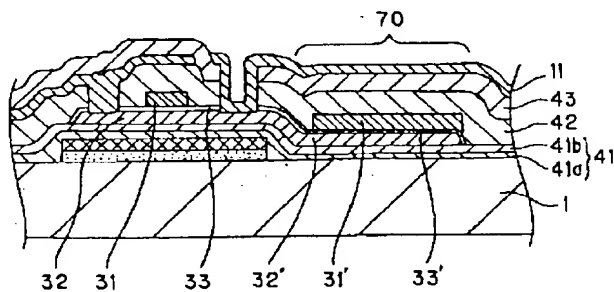
【図2】



【図4】

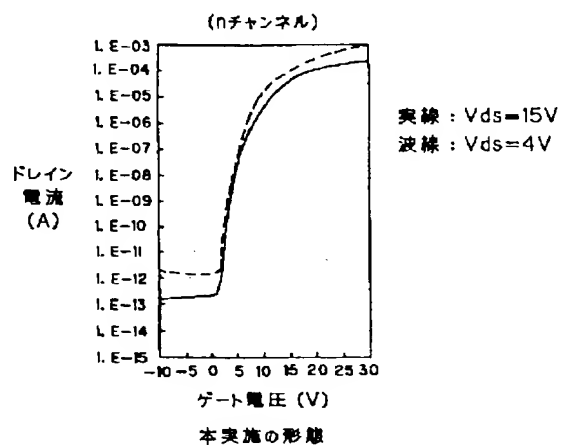


【図3】

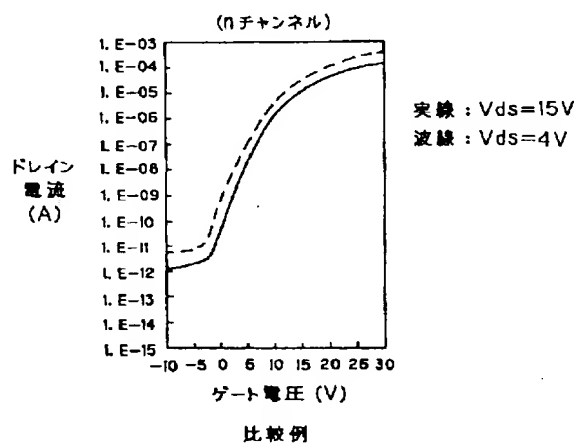


(14)

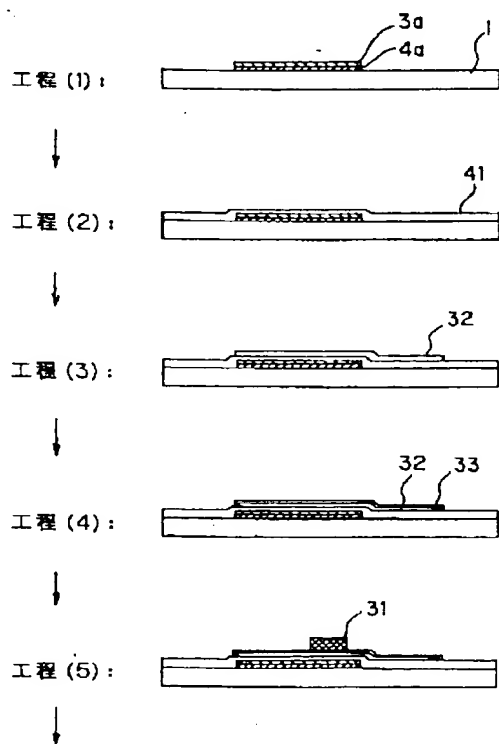
【図6】



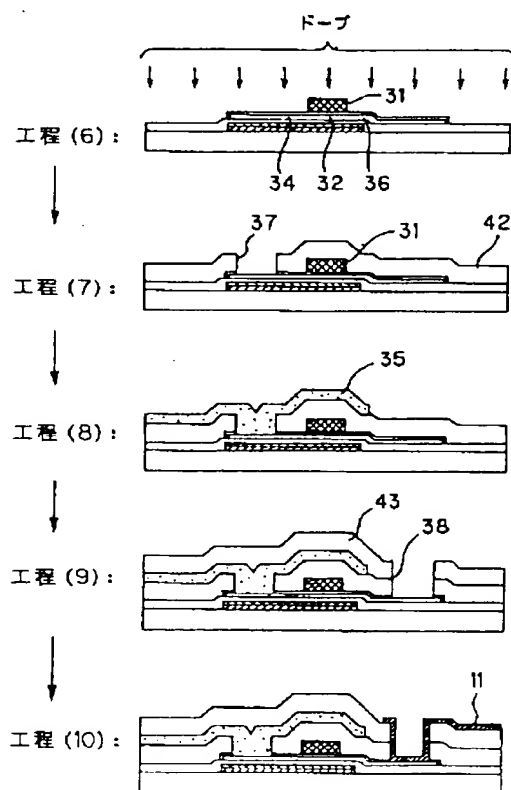
【図7】



【図8】

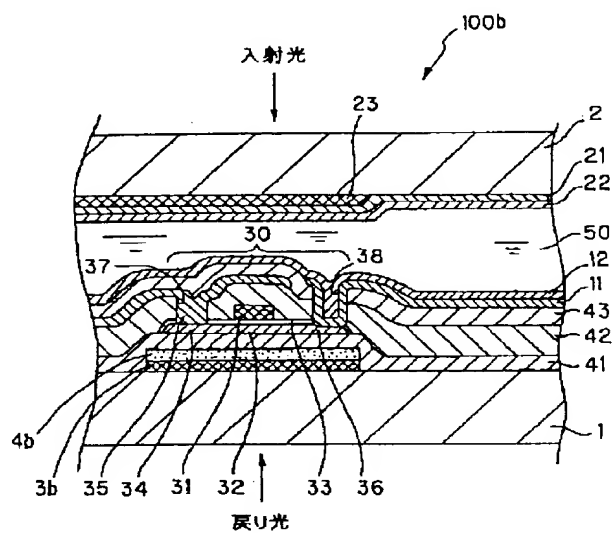


【図9】

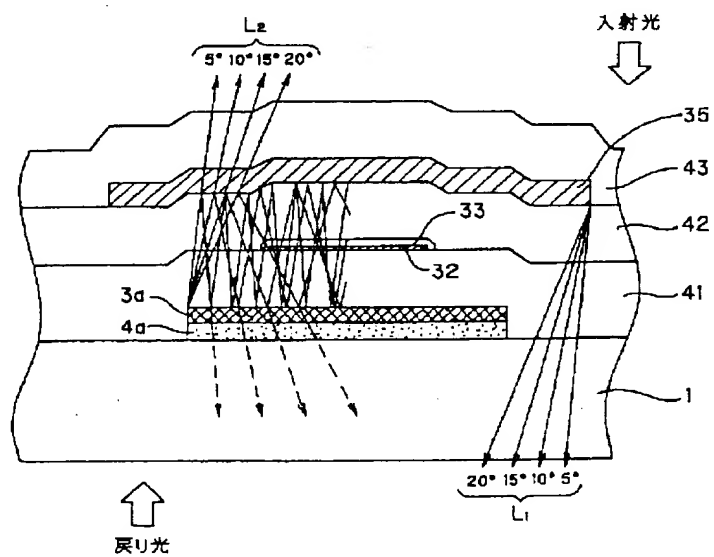


(15)

【図10】

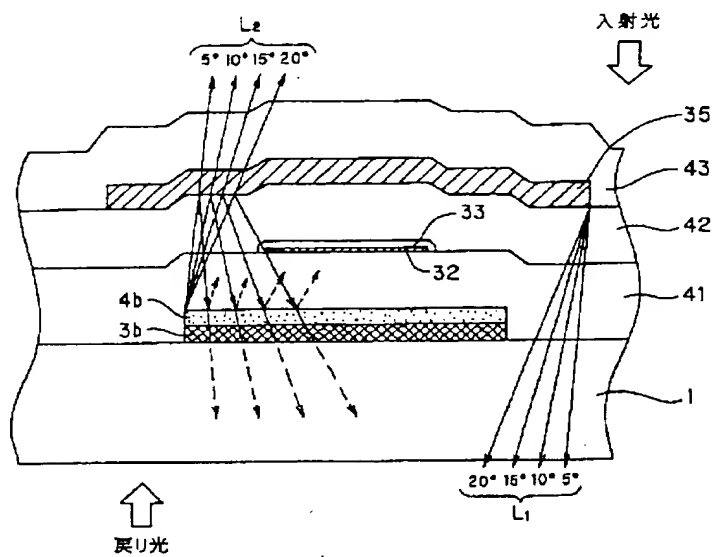


【図11】



(16)

【図12】



 CLAIMS

[Claim(s)]

[Claim 1] The liquid crystal display panel characterized by providing the following. The 1st and the 2nd substrate of a couple, this -- the [the 1st and] -- the liquid crystal pinched between 2 substrates Two or more transparent pixel electrodes prepared in the side which meets the aforementioned liquid crystal of the 1st substrate of the above in the shape of a matrix. Two or more switching elements which are formed in the 1st substrate of the above in the position which adjoins two or more of these pixel electrodes, respectively, and carry out switching control of two or more aforementioned pixel electrodes, respectively, The shading layer which consists of a refractory metal prepared in the position which counters two or more of these switching elements, respectively, respectively between the 1st substrate of the above, and two or more aforementioned switching elements, The polycrystal silicon layer in which this shading layer was prepared between the 1st substrate of the above, and the aforementioned shading layer in the position with which it laps, respectively, respectively, and the layer insulation layer prepared between the aforementioned shading layer and two or more aforementioned switching elements.

[Claim 2] The liquid crystal display panel characterized by providing the following. The 1st and the 2nd substrate of a couple, this -- the [the 1st and] -- the liquid crystal pinched between 2 substrates Two or more transparent pixel electrodes prepared in the side which meets the aforementioned liquid crystal of the 1st substrate of the above in the shape of a matrix. Two or more switching elements which are formed in the 1st substrate of the above in the position which adjoins two or more of these pixel electrodes, respectively, and carry out switching control of two or more aforementioned pixel electrodes, respectively, The shading layer which consists of a refractory metal prepared in the position which counters two or more of these switching elements, respectively, respectively between the 1st substrate of the above, and two or more aforementioned switching elements, The polycrystal silicon layer prepared between the aforementioned shading layer and two or more aforementioned switching elements in the position which laps with this shading layer, respectively, respectively, and the layer insulation layer prepared between the aforementioned polycrystal silicon layer and two or more aforementioned switching elements.

[Claim 3] It is the liquid crystal display panel according to claim 1 or 2 which the 1st substrate of the above is a quartz

substrate, and is characterized by the aforementioned refractory metal being the metal silicide containing at least one of Ti, Cr, W, Ta, Mo, and Pd.

[Claim 4] It is a liquid crystal display panel given in any 1 term of the claims 1-3 characterized by for the aforementioned shading layer having 1000 to 3000Å thickness, respectively, and the aforementioned polycrystal silicon layer having 500 to 2000Å thickness, respectively.

[Claim 5] The aforementioned layer insulation layer is a liquid crystal display panel given in any 1 term of the claims 1-4 characterized by flattening of the field in which two or more aforementioned switching elements are formed being carried out by spin coat processing or CMP (Chemical Mechanical Polishing) processing.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] this invention belongs to the technical field of the liquid crystal display panel of the active-matrix drive method by TFT (TFT) drive, and belongs to the technical field of the liquid crystal display panel of form which is especially used for a liquid crystal projector etc. and which prepared the black matrix in the TFT bottom.

[0002]

[Description of the Prior Art]

Conventionally, generally in the liquid crystal display panel used for this kind of liquid crystal projector etc. as a light valve, incidence of the incident light is carried out to a TFT array substrate on both sides of a liquid crystal layer from the opposite substrate side by which opposite arrangement is carried out. Here, if an incident light carries out incidence to the field for channel formation which consisted of the a-Si (amorphous silicon) films and p-Si (contest polysilicon) films of TFT, in this field, a photocurrent will occur according to the photo-electric-translation effect, and the transistor characteristics of TFT will deteriorate. For this reason, it is common to an opposite substrate that the shading layer called two or more black matrices is formed in the position which counters each TFT, respectively. Such a black matrix is made from material, such as metallic materials, such as Cr (chromium), and resin black which distributed carbon to the photoresist, and has functions other than shading to the above-mentioned a-Si film and above-mentioned p-Si film of TFT, such as improvement in contrast, and color mixture prevention of color material.

[0003] Furthermore, when using right stagger type or KOPURANA type a-Si or p-SiTFT which takes top gate structure (namely, structure where the gate

electrode was prepared on the TFT array substrate at the channel bottom), especially in this kind of liquid crystal display panel, it is necessary to prevent a part of incident light's returning by the incident-light study system in a liquid crystal projector, and carrying out incidence to the channel of TFT from a TFT array substrate side as a light.

[0004] For this reason, in JP,9-127497,A, JP,3-52611,B, JP,3-125123,A, and JP,8-171101,A, the technology which forms a black matrix also in the position (namely, under TFT) which counters on the TFT array substrate which consists of a quartz substrate etc. at TFT is proposed. It is supposed that shading of the return light to the a-Si film and p-Si film of TFT will be attained by this black matrix. In order for high temperature processing in the TFT formation process performed after the black matrix formation process on a TFT array substrate to break or to make it a black matrix not fuse by it especially according to this technology, it is made to form a black matrix from an opaque refractory metal.

[0005]

[Problem(s) to be Solved by the Invention] However, since the black matrix for shading of return light consists of a refractory metal, its thermal affinity with the TFT array substrate which consists of a quartz substrate in which a black matrix is formed is bad according to the Prior art mentioned above. More

specifically, when put on hot environments and ordinary temperature environment, it will originate in the difference of physical properties, such as coefficient of thermal expansion of a black matrix and a TFT array substrate, and stress will occur among both. For this reason, distortion arises in a black matrix, or a crack enters, or distortion will arise in each component of a TFT array substrate, a layer insulation layer, and TFT etc., or a crack will go into it. Consequently, it returns from the crack of a black matrix, and a part of light will carry out incidence to the channel of TFT, or it will have a bad influence on the formation process of TFT.

[0006] Furthermore, according to the Prior art mentioned above, incidence is carried out to the layer insulation layer which consists of NSG (non doped silicate glass) prepared in order to insulate a black matrix and TFT from the field which carried out incidence from the TFT array substrate side and in which a black matrix is not formed for light by returning. Thus, as a result of being reflected by other layer insulation layer metallurgy group electrodes which carried out incidence, to which it returns and which a part of light becomes from the upper surface of the layer insulation layer concerned, NSG further formed in the channel bottom, the return light reflected or reflected multiply in these layer insulation layers etc. carries out

incidence to the a-Si film and p-Si film for channel formation. This result, In a channel, the photocurrent by the photo-electric-translation effect will occur. [0007] According to the Prior art mentioned above the above result, by having formed the shading film in the TFT bottom, there is a trouble that the transistor characteristics of TFT will deteriorate and there is also a trouble that the shading film constituted still in this way is not enough to shade return light.

[0008] Let it be a technical problem to offer the liquid crystal display panel of the active-matrix drive method which this invention is made in view of the trouble mentioned above, and can improve the shading performance and the switching characteristic of this switching element to light, such as return light from the switching element bottom, such as TFT.

[0009]

[Means for Solving the Problem] In order that a liquid crystal display panel according to claim 1 may solve the above-mentioned technical problem, the 1st and the 2nd substrate of a couple, this -- the [the 1st and] -- with two or more transparent pixel electrodes prepared in the side which meets the liquid crystal pinched between 2 substrates, and the aforementioned liquid crystal of the 1st substrate of the above in the shape of a matrix Two or more switching elements

which are formed in the 1st substrate of the above in the position which adjoins two or more of these pixel electrodes, respectively, and carry out switching control of two or more aforementioned pixel electrodes, respectively, The shading layer which consists of a refractory metal prepared in the position which counters two or more of these switching elements, respectively, respectively between the 1st substrate of the above, and two or more aforementioned switching elements, It is characterized by having the polycrystal silicon layer in which this shading layer was prepared between the 1st substrate of the above, and the aforementioned shading layer in the position with which it laps, respectively, respectively, and the layer insulation layer prepared between the aforementioned shading layer and two or more aforementioned switching elements.

[0010] According to the liquid crystal display panel according to claim 1, the shading layer which consists of a refractory metal can prevent this light carrying out incidence to a switching element, even if it returns from the 1st substrate side and light, such as light, carries out incidence to the liquid crystal display panel concerned, since it is prepared in the position which counters a switching element. Furthermore, the polycrystal silicon layer is prepared between the 1st substrate and the

shading layer in the position with which a shading layer laps. For this reason, although a shading layer consists of a refractory metal, since it is formed in the 1st substrate, such as a quartz substrate, through a polycrystal silicon layer, the badness of thermal affinity with the 1st substrate which consists of a shading layer which consists of a refractory metal, a quartz substrate, etc. is eased. More specifically, even when put on hot environments and ordinary temperature environment, the stress between both who originate in the difference of physical properties, such as coefficient of thermal expansion of a shading layer and the 1st substrate, and are generated can be eased by the polycrystal silicon layer which intervenes among both. For this reason, distortion arises in a shading layer, a crack enters, distortion arises in each component of the 1st substrate, a polycrystal silicon layer, and a switching element etc., or it can prevent that a crack enters.

[0011] Moreover, after carrying out etching removal of the shading layer which consists of a refractory metal temporarily formed directly on the 1st substrate, such as a quartz substrate, namely, if it assumes that etching removal of the shading layer was carried out in the state where the 1st substrate and a shading layer have an interface, the front face of the 1st substrate will be ruined and the property of switching

elements, such as TFT finally formed in the upper part, will deteriorate. However, according to this invention, since the polycrystal silicon layer is prepared between the 1st substrate and the shading layer, while etching removal of the shading layer can be carried out in the state where an interface exists between a polycrystal silicon layer and the 1st substrate, consequently the front face of the 1st substrate has not been comparatively ruined, a switching element can be formed above a shading layer.

[0012] In order that a liquid crystal display panel according to claim 2 may solve the above-mentioned technical problem, the 1st and the 2nd substrate of a couple, this -- the [the 1st and] -- with two or more transparent pixel electrodes prepared in the side which meets the liquid crystal pinched between 2 substrates, and the aforementioned liquid crystal of the 1st substrate of the above in the shape of a matrix Two or more switching elements which are formed in the 1st substrate of the above in the position which adjoins two or more of these pixel electrodes, respectively, and carry out switching control of two or more aforementioned pixel electrodes, respectively, The shading layer which consists of a refractory metal prepared in the position which counters two or more of these switching elements, respectively, respectively between the 1st substrate of

the above, and two or more aforementioned switching elements. It is characterized by having the polycrystal silicon layer prepared between the aforementioned shading layer and two or more aforementioned switching elements in the position which laps with this shading layer, respectively, respectively, and the layer insulation layer prepared between the aforementioned polycrystal silicon layer and two or more aforementioned switching elements.

[0013] According to the liquid crystal display panel according to claim 2, the shading layer which consists of a refractory metal can prevent this light carrying out incidence to a switching element, even if it returns from the 1st substrate side and light, such as light, carries out incidence to the liquid crystal display panel concerned, since it is prepared in the position which counters a switching element. Furthermore, the polycrystal silicon layer is prepared between the shading layer and the switching element in the position which laps with a shading layer. For this reason, light, such as light, carries out incidence to a layer insulation layer by returning temporarily from the field which carried out incidence from the 1st substrate side and in which a shading layer is not formed. Since it is absorbed by the polycrystal silicon layer prepared on the shading layer though it was reflected by the upper surface of a layer insulation

layer, the component of a switching element, etc. and finally being reached to the shading layer top as a multiple reflection light. It is prevented that such a multiple reflection light reaches a switching element.

[0014] In addition, in a liquid crystal display panel according to claim 1 or 2, the aforementioned switching element may be constituted from a right stagger type or a KOPURANA type p-SiTFT (polysilicon contact TFT) element, and a shading layer may be prepared also in the 2nd substrate side of the above in the position which counters two or more aforementioned switching elements, respectively. In this case, although especially the p-Si layer or a-Si layer for channel formation is arranged in top gate type arrangement at the side near [electrode / gate] the 1st substrate, light, such as return light from the 1st substrate side, can be shaded by the shading layer. Simultaneously, it can shade by the shading layer in which the light from the 2nd substrate side was prepared by the 2nd substrate.

[0015] In order that a liquid crystal display panel according to claim 3 may solve the above-mentioned technical problem, in a liquid crystal display panel according to claim 1 or 2, the 1st substrate of the above is a quartz substrate, and the aforementioned refractory metal is characterized by being the metal silicide containing at least one

of Ti, Cr, W, Ta, Mo, and Pd.

[0016] According to the liquid crystal display panel according to claim 3, the thermal affinity of the shading layer which consists of metal silicide and contains silicon, and the 1st substrate and polycrystal silicon layer which consist of a quartz substrate is good. More specifically, even when put on hot environments and ordinary temperature environment, the stress which originates in the difference of physical properties, such as coefficient of thermal expansion, and is generated between a shading layer, and the 1st substrate and a polycrystal silicon layer is eased further.

[0017] In order that a liquid crystal display panel according to claim 4 may solve the above-mentioned technical problem, in a liquid crystal display panel given in any 1 term of claims 1-3, it is characterized by for the aforementioned shading layer having 1000 to 3000Å (angstrom) thickness, respectively, and the aforementioned polycrystal silicon layer having 500 to 2000Å thickness, respectively.

[0018] according to the liquid crystal display panel according to claim 4, since a shading layer is thicker than 1000Å, the effect of shading can fully expect it, and since it is thinner than 3000Å, it is stopped by the grade which can fully ease the thermal stress in the hot environments in the formation process which is a switching element, and

ordinary temperature environment by the polycrystal silicon layer and the effect which eases the stress generated in a shading layer since it is thicker than 500Å can fully expect a polycrystal silicon layer, and since it is thinner than 2000Å, it forms a switching element behind -- a switching element can be easily held down for the level difference of a layer insulation layer to the grade which can be formed

[0019] In order that a liquid crystal display panel according to claim 5 may solve the above-mentioned technical problem, in a liquid crystal display panel given in any 1 term of claims 1-4, the aforementioned layer insulation layer is characterized by flattening of the field in which two or more aforementioned switching elements are formed being carried out by spin coat processing or CMP (Chemical Mechanical Polishing) processing.

[0020] Since two or more switching elements are formed on the field of the layer insulation layer in which flattening was carried out by spin coat processing or CMP processing according to the liquid crystal display panel according to claim 5, it becomes possible to form a switching element easily.

[0021] Such an operation and other gains of this invention will be made clear from the form of the operation explained below.

[0022]

[Embodiments of the Invention]

Hereafter, the form of operation of this invention is explained based on a drawing.

[0023] <Form of the 1st operation>
drawing 1 is the cross section of the liquid crystal display panel which is the form of operation of the 1st of this invention. In addition, in order to make each class and each part material into the size of the grade which can be recognized on a drawing, scales are made to have differed for each class or every each part material in drawing 1. Moreover, drawing 2 is plans, such as various electrodes formed on the TFT array substrate 1 shown in drawing 1.

[0024] In drawing 1, liquid crystal display panel 100a is equipped with the TFT array substrate 1 which constitutes an example of the 1st transparent substrate, and the opposite substrate 2 which constitutes in this an example of the 2nd transparent substrate by which opposite arrangement is carried out. The TFT array substrate 1 consists for example, of a quartz substrate, and the opposite substrate 2 consists of a glass substrate.

[0025] Two or more transparent pixel electrodes 11 are formed in the TFT array substrate 1 in the shape of a matrix, and as shown in drawing 2, as shown in drawing 1, the orientation film 12 with which predetermined orientation processing of rubbing processing etc. was performed is formed in it at the bottom.

The pixel electrode 11 consists of transparent conductivity thin films, such as for example, an ITO film (indium teens oxide film). Moreover, the orientation film 12 consists of organic thin films, such as for example, a polyimide thin film.

[0026] On the other hand, it crosses to the opposite substrate 2 all over the, the common electrode 21 is formed, and the orientation film 22 with which predetermined orientation processing of rubbing processing etc. was performed is formed in the bottom. The common electrode 21 consists of transparent conductivity thin films, such as for example, an ITO film. Moreover, the orientation film 22 consists of organic thin films, such as a polyimide thin film.

[0027] As shown in drawing 1 and drawing 2, two or more TFT30 as an example of a switching element which carries out switching control of two or more pixel electrodes 11, respectively is formed in the position which adjoins two or more pixel electrodes 11, respectively at the TFT array substrate 1.

[0028] The black matrix 23 is further formed in the predetermined field which counters at TFT30 at the opposite substrate 2. Such a black matrix is made from material, such as resin black which distributed metallic materials, such as Cr (chromium) and nickel (nickel), carbon, and Ti (titanium) to the photoresist, and has functions other than shading to the p-Si (contest polysilicon) layer 32 of

TFT30, such as improvement in contrast, and color mixture prevention of color material.

[0029] Thus, it is constituted, and between the TFT array substrates 1 and the opposite substrates 2 which have been arranged so that the pixel electrode 11 and the common electrode 21 may meet, liquid crystal is enclosed with the space surrounded by the below-mentioned sealing compound 52 (refer to drawing 4 and drawing 5), and the liquid crystal layer 50 is formed. The liquid crystal layer 50 takes a predetermined orientation state with the orientation films 12 and 22 in the state where the electric field from the pixel electrode 11 are not impressed. The liquid crystal layer 50 consists of liquid crystal which mixed the pneumatic liquid crystal of a kind or some kinds. Sealing compounds 52 are the adhesives for making two substrates 1 and 2 rival around those.

[0030] In the position which counters TFT30, respectively, shading layer 3a which consists of a refractory metal is prepared between the TFT array substrate 1 and two or more TFT30, respectively. In the position with which this shading layer 3a laps, respectively, polycrystal silicon layer 4a is prepared between the TFT array substrate 1 and shading layer 3a, respectively. Furthermore, between shading layer 3a and two or more TFT30, the insulating

layer 41 is formed between the 1st layer. Between the 1st layer, an insulating layer 41 is formed in order to carry out the electric insulation of the p-Si layer 32 which constitutes TFT30 from shading layer 3a. Furthermore, an insulating layer 41 also has a function as a ground film for TFT30 by being formed all over the TFT array substrate 1 between the 1st layer. That is, it has the function to prevent degradation of the property of TFT30 with the dry area at the time of surface lapping of the TFT array substrate 1, the dirt which remains after washing.

[0031] With the form of this operation, especially, in this way, although shading layer 3a consists of a refractory metal, since it is formed on the TFT array substrates 1, such as a quartz substrate, through polycrystal silicon layer 4a, the badness of thermal affinity of shading layer 3a and the TFT array substrate 1 is eased. More specifically, even when put on hot environments and ordinary temperature environment, the stress between both who originate in the difference of physical properties, such as coefficient of thermal expansion of shading layer 3a and the TFT array substrate 1, and are generated can be eased by polycrystal silicon layer 4a which intervenes among both. For this reason, distortion arises in shading layer 3a, a crack enters, distortion arises in each component of the TFT array

substrate 1, polycrystal silicon layer 4b, and TFT30 etc., or it can prevent quite well to it as compared with the case where the Prior arts (JP,9-127497,A etc.) which mentioned above the situation where a crack entered are used.

consequently, the shading nature and reliability of shading layer 3a will be boiled markedly, can improve, and can improve transistor characteristics, such as the switching characteristic of TFT30

[0032] An insulating layer 41 consists of high insulation glass or silicon-oxide films, such as NSG (non doped silicate glass), PSG (phosphorus silicate glass), BSG (boron silicate glass), and BPSG (boron phosphorus silicate glass), etc. between the 1st layer.

[0033] Shading layer 3a consists of refractory metals, such as Ti (titanium), Cr (chromium), W (tungsten), Ta (tantalum), Mo (molybdenum), and Pd (lead). It consists of metal silicide (for example, tungsten silicide WSi) containing at least one of Ti, Cr, W, Ta, Mo, and Pd more preferably. Thus, if constituted from metal silicide (i.e., if silicon is included in the material of a shading layer), thermal affinity with an insulating layer 41 will become good between the 1st layer which comes to contain polycrystal silicon layer 4a and silicon. More specifically, even when put on hot environments and ordinary temperature environment, the stress which originates in the difference of

physical properties, such as coefficient of thermal expansion, and is generated between insulating layers 41 is further eased between shading layer 3a, polycrystal silicon layer 4a, or the 1st layer.

[0034] According to the form of this operation these results, between the TFT array substrate 1 and the 1st layer, distortion arises in shading layer 3a, a crack enters, distortion arises in each component of an insulating layer 41 and TFT30 etc., or the situation where a crack enters can be avoided still more effectively. For this reason, it can prevent effectively having a bad influence on the formation process of subsequent TFT by distortion and cracks, such as that return from the crack of shading layer 3a, and a part of light carries out incidence to the channel of TFT30, and shading layer 3a. Therefore, according to the form of operation of **** 1, the transistor characteristics of TFT30 are improved and, finally, liquid crystal display panel 100a enables it to express the good high-definition picture of coloring as high contrast.

[0035] Furthermore with the form of the 1st operation, the transistor characteristics of TFT30 are improved also from the following standpoint compared with the Prior arts (JP,9-127497,A etc.) mentioned above. that is, since polycrystal silicon layer 4a does not exist in the Prior art mentioned

above, after carrying out etching removal of the shading layer 3a which consists of a refractory metal, while [the 1st layer] becoming the ground which is TFT30, an insulating layer 41 will be formed and TFT30 will be formed on it Here, according to research of invention in this application persons, after carrying out etching removal of the shading layer 3a which consists of a refractory metal, the front face of the TFT array substrates 1, such as a quartz substrate, is ruined, and it is known that the property of TFT30 finally formed in the upper part will deteriorate. With the form of the 1st operation, while an interface exists between polycrystal silicon layer 4a and the TFT array substrate 1, since the layer structure to which an interface does not exist in between is adopted, after carrying out etching removal of shading layer 3a and the polycrystal silicon layer 4a, the front face of the TFT array substrate 1 does not need to be here, comparatively ruined [with the TFT array substrate 1 and shading layer 3a]. Therefore, according to the form of the 1st operation, the transistor characteristics of TFT30 are improved more.

[0036] In addition, shading layer 3a is grounded through predetermined wiring through the contact hole which is not illustrated, or is connected to the constant source of potential. For this reason, when the potential of shading

layer 3a changes, it does not have a bad influence on the switching characteristic of TFT30 etc. However, it is also possible for shading layer 3a to float electrically, or to use shading layer 3a as wiring for the below-mentioned storage capacitances (to refer to drawing 3). [0037] TFT30 is equipped with the drain field 36 formed in the source field 34 formed in the p-Si layer 32 in which a channel is formed of the electric field from the gate electrode 31 (scanning electrode) and the gate electrode 31, the gate insulating layer 33 which insulates the gate electrode 31 and the p-Si layer 32, and the p-Si layer 32, the source electrode 35 (signal electrode), and the p-Si layer 32 as shown in drawing 1 . One to which it corresponds of two or more pixel electrodes 11 is connected to the drain field 36. The source field 34 and the drain field 36 are formed by doping the dopant the object for n types of predetermined concentration, or for p types to the p-Si layer 32 like the after-mentioned according to whether n type or a p type channel is formed. TFT of an n type channel has the advantage that a working speed is quick, and TFT of p type channel has the advantage that it is easy to form p type channel. The source electrode 35 (signal electrode) may be constituted from transparent conductivity thin films, such as an ITO film, like the pixel electrode 11, and may consist of opaque thin films, such as

metal membrane metallurgy group silicide, such as aluminum. Moreover, between the gate electrode 31, the gate insulating layer 33, and the 1st layer, on the insulating layer 41, while [the 2nd layer] the contact hole 38 which leads to the contact hole 37 which leads to the source field 34, and the drain field 36 was formed, respectively, the insulating layer 42 is formed. Electrical installation of the source electrode 35 (signal electrode) is carried out to the source field 34 through the contact hole 37 to this source field 34. Furthermore, on the source electrode 35 (signal electrode) and the 2nd insulating layer 42, while [the 3rd layer] the contact hole 38 to the drain field 36 was formed, the insulating layer 43 is formed. Electrical installation of the pixel electrode 11 is carried out to the drain field 36 through the contact hole 38 to this drain field 36. The above-mentioned pixel electrode 11 is formed in the upper surface of an insulating layer 43 between the 3rd layer constituted in this way.

[0038] It is prevented that an incident light carries out incidence to the p-Si layer 32 directly since the black matrix 23 of plurality [position / which counters the opposite substrate 2 with the gestalt of this operation at each TFT30, respectively although a photocurrent occurs according to the photo-electric translation effect which p-Si has when light carries out incidence of the p-Si layer 32 in which a channel is

generally formed here and the transistor characteristics of TFT30 deteriorate] is formed. furthermore, this -- adding -- or -- replacing with -- the gate electrode 31 -- the wrap from a top -- if the source electrode 35 (signal electrode) is formed from opaque metal thin films, such as aluminum, like -- the black matrix 23 -- or the incidence of the incident light (namely, drawing 1 light from a top) to the p-Si layer 32 can be prevented effectively independently

[0039] As shown in the plan of drawing 2, the pixel electrode 11 constituted as mentioned above is arranged in the shape of a matrix on the TFT array substrate 1, adjoins each pixel electrode 11, and TFT30 is formed, and the source electrode 35 (signal electrode) and the gate electrode 31 (scanning electrode) are formed respectively along the boundary of the pixel electrode 11 in every direction. In addition, drawing 2 is for the matrix-like array of the pixel electrode 11 etc. being simplified and shown on account of explanation, and each actual electrode has-like more complicated 3-dimensional composition so that it may wire through the contact hole etc. and drawing 1 may show between layer insulation layers and a top.

[0040] Although not shown in drawing 1, as shown in drawing 3, the storage capacitance 70 is formed in the pixel electrode 11, respectively. p-Si layer 32' in which this storage capacitance 70 is more

specifically formed of the same process as the p-Si layer 32, insulating layer 33' formed of the same process as the gate insulating layer 33, and the storage-capacitance electrode (capacity line) 31 formed of the same process as the gate electrode 31 -- ' -- It consists of a part of pixel electrodes 11 which counter storage-capacitance electrode 31' through insulating layers 42 and 43 between the 2nd and the 3rd layer between insulating layers 42 and 43, the 2nd, and the 3rd layer. thus -- since the storage capacitance 70 is formed, even if duty ratio is small -- quantity -- a detailed display is enabled In addition, storage-capacitance electrode (capacity line) 31' is prepared in parallel with the gate electrode (scanning electrode) 31 on the field of the TFT array substrate 1, as shown in drawing 2 . Moreover, it is also possible to use the shading layer 3 as wiring of a storage capacitance 70 as mentioned above.

[0041] The whole liquid crystal display panel 100 composition constituted as mentioned above is explained with reference to drawing 4 and drawing 5 . In addition, drawing 4 is the plan which looked at the TFT array substrate 1 from the opposite substrate 2 side with each component formed on it, and drawing 5 is an H-H' cross section of drawing 4 shown including the opposite substrate 2.

[0042] In drawing 4 , on the TFT array substrate 1, the sealing compound 52 is

formed along the edge, and the circumference abandonment 53 of the opposite substrate 2 is specified in parallel to the inside. The driver circuit 101 for the X side drive and the mounting terminal 102 are formed in the field of the outside of a sealing compound 52 along with one side of the TFT array substrate 1, and the driver circuit 104 for the Y side drive is formed in it along with two sides which adjoin this one side. Furthermore, two or more wiring 105 is formed in one side in which the TFT array substrate 1 remains. Moreover, the fish eye 106 which consists of a flow agent for taking an electric flow between the TFT array substrate 1 and the opposite substrate 2 is formed in the four corners of a sealing compound 52. And as shown in drawing 5 , the opposite substrate 2 with the almost same profile as the sealing compound 52 shown in drawing 4 has fixed to the TFT array substrate 1 by the sealing compound 52 concerned.

[0043] Electrical installation of the driver circuit 101 for the X side drive and the driver circuit 104 for a drive for Y is carried out to the source electrode 35 (signal electrode) and the gate electrode 31 (scanning electrode) by wiring, respectively. The status signal changed into the form in which a real time display is possible from the control circuit which is not illustrated is inputted into the driver circuit 101 for the X side drive, and the driver circuit 101 for the X side drive

sends the signal level according to the status signal to the source electrode 35 (signal electrode) according to the driver circuit 104 for the Y side drive sending a gate voltage to the gate electrode 31 (scanning electrode) in order in pulse. It is also possible to be the same process and to form the driver circuit 101 for the X side drive and the driver circuit 104 for the Y side drive especially with the gestalt of this operation, at the time of formation of TFT30, since TFT30 is p-Si (contest polysilicon) type TFT, and it is advantageous on manufacture.

[0044] In addition, you may make it connect with LSI for a drive mounted on TAB (tape automated bonding substrate) instead of forming the driver circuit 101 for the X side drive, and the driver circuit 104 for the Y side drive on the TFT array substrate 1 electrically and mechanically through the anisotropy electric conduction film prepared in the periphery of the TFT array substrate 1.

[0045] Moreover, although not shown in drawing 5 from drawing 1, according to the exception of modes of operation, such as for example, TN (Twisted Nematic) mode, STN (super TN) mode, and D-STN (double-STN) mode, and the normally white mode / normally black mode, a polarization film, a phase contrast film, a polarizing plate, etc. are arranged in a predetermined direction at the side in which the incident light of the side in which the incident light of the opposite

substrate 2 carries out incidence, and the TFT array substrate 1 carries out outgoing radiation, respectively.

[0046] Next, operation of the gestalt of this operation constituted as mentioned above is explained with reference to drawing 5 from drawing 1.

[0047] First, the driver circuit 101 for the X side drive which received the status signal from the control circuit impresses a signal level to the source electrode 35 (signal electrode) in the timing and the size according to this status signal, in parallel to this, the driver circuit 104 for the Y side drive impresses a gate voltage to an electrode 31 (scanning electrode) one by one in pulse to predetermined timing, and TFT30 drives it. In TFT30 to which source voltage was impressed by this when the gate voltage was set to ON, voltage is impressed to the pixel electrode 11 through the channel and the drain field 36 which were formed in the source field 34 and the p-Si layer 32. And as for the voltage of this pixel electrode 11, only the time when no less than 3 figures are longer than the time when source voltage was impressed is maintained by the storage capacitance 70 (refer to drawing 3).

[0048] Thus, if voltage is impressed to the pixel electrode 11, the orientation state of the liquid crystal in the portion pinched by this pixel electrode 11 and common electrode 21 in the liquid crystal layer 50 changes, and if it is a normally white

mode Where voltage is impressed, passage of this liquid crystal portion of an incident light is made impossible, and if it is normally black mode Where voltage is impressed, passage of this liquid crystal portion of an incident light is enabled, and from liquid crystal display panel 100a, light with the contrast according to the status signal carries out outgoing radiation as a whole.

[0049] Especially, with the gestalt of this operation, since shading layer 3a is prepared in polycrystal silicon layer 4a in piles and the bad influence by return light is reduced as mentioned above by the TFT30 bottom, the transistor characteristics of TFT30 are improved by it and, finally liquid crystal display panel 100a enables it to express the good high-definition picture of coloring as high contrast at it.

[0050] Next, with reference to drawing 6 and drawing 7, examination is added about how many transistor characteristics of TFT30 have been improved by composition in which shading layer 3a is prepared in polycrystal silicon layer 4a in piles in this way. Drawing 6 shows the result of the transistor characteristics examination about liquid crystal display panel 100a shown in drawing 1. On the other hand, drawing 7 shows the result of the transistor characteristics examination about the example of comparison which has the composition which excepted

polycrystal silicon layer 4a from the composition of liquid crystal display panel 100a shown in drawing 1. In addition, in drawing 6 and drawing 7, the gate voltage impressed to a gate electrode is shown in a horizontal axis, and the drain current which flows in that case is shown in a vertical axis. Moreover, the test result is shown about two kinds of states, 15V and 4V, as source drain voltage, respectively.

[0051] When drawing 6 is compared with drawing 7, it turns out that the switching characteristic of a transistor is improved farther than the case where formed polycrystal silicon layer 4a first on the TFT array substrate 1, and the gestalt of this operation which prepared shading layer 3a in this in piles forms direct shading layer 3a on the TFT array substrate 1.

[0052] In addition, the switching characteristic of TFT improves as compared with the example influenced as it was of return light, without completely preparing shading layer 3a also by the case of the example of comparison shown in drawing 7.

[0053] Next, the manufacture process of liquid crystal display panel 100a of the gestalt of the 1st operation is explained with reference to drawing 8 and drawing 9.

[0054] As first shown in the process (1) of drawing 8, the TFT array substrates 1, such as a quartz substrate and hard glass,

are prepared. Here, preferably, annealing processing is carried out at inert gas atmosphere, such as N₂ (nitrogen), and the elevated temperature of about 1000 degrees C, and it pretreats so that distortion produced in the TFT array substrate 1 in the elevated-temperature process carried out behind may decrease. Thus, a polycrystal silicon layer is formed by reduced pressure CVD etc. all over the processed TFT array substrate 1, and the shading layer which consists of metal silicide of refractory metals, such as Ti, Cr, W, Ta, Mo, and Pd, etc. preferably by the sputtering method, CVD, etc. is further formed all over a polycrystal silicon layer. After that, according to a photolithography process and an etching process, it leaves these polycrystal silicon layers and shading layers that were formed all over the substrate only to the field which is due to form TFT30, and polycrystal silicon layer 4a and shading layer 3a are formed. Under the present circumstances, as thickness of polycrystal silicon layer 4a, about 500-2000A (angstrom) is desirable. On another side on which the effect which eases stress does not increase so much even if the effect which eases the stress which originates in preparing shading layer 3a which consists of a refractory metal, and is produced becomes low practically and it is thicker than 2000A, when thinner than 500A While causing the time for forming the polycrystal silicon layer 4a

itself, and elevation of cost, between the 1st layer which forms TFT30 behind, the level difference of an insulating layer 41 becomes large too much, and formation of TFT30 becomes difficult. Moreover, as thickness of shading layer 3a, about 1000-3000A is desirable, about 1500-2500A makes it more fond further, and it is a pile. If thicker [if thinner than 1000A, the effect (for example, about 1/1000 permeability) of shading will not fully be acquired, and] than 3000A Generating of the thermal stress in the hot environments in a formation process and ordinary temperature environment of TFT30 becomes large too much. In addition, while causing the time for forming the shading layer 3a itself, and elevation of cost, between the 1st layer which forms TFT30 behind, the level difference of an insulating layer 41 becomes large too much, and formation of TFT30 becomes difficult. Furthermore, if the thickness of shading layer 3a is about 1500-2500A, while good shading nature will be obtained, it is necessary to hardly produce the problem of a level difference practically, either. Shading layer 3a and polycrystal silicon layer 4a are formed so that the field, the source field 34, and the drain field 36 for channel formation may be seen and covered from the rear face of the TFT array substrate 1 among the p-Si layers 32 of TFT30 at least.

[0055] In addition, after *****ing above-mentioned polycrystal silicon layer

4a, you may make it form shading layer 3a. However, since what is necessary is just to form shading layer 3a in polycrystal silicon layer 4a in piles fundamentally, in order to carry out alignment of both appearance correctly and to reduce the number of processes with the gestalt of this operation, it is advantageous to perform both etching collectively as mentioned above.

[0056] Next, as shown in the process (2) of drawing 8, while [the 1st layer] consisting of silicate glass films, such as NSG, PSG, BSG, and BPSG, a nitride, a silicon-oxide film, etc. using TEOS (tetrapod ethyl orthochromatic silicate) gas, TEB (tetrapod ethyl boat rate) gas, TMOP (tetrapod methyl OKISHI force rate) gas, etc. by the ordinary pressure or reduced pressure CVD, an insulating layer 41 is formed on shading layer 3a. The thickness of an insulating layer 41 has desirable about 500-8000Å between the 1st layer. Or after forming a thermal oxidation film, a high-temperature-oxidation silicon film (HTO film) and a nitride are further deposited on the comparatively thin thickness of about 500Å by reduced pressure CVD etc., and an insulating layer 41 may be formed between [with multilayer structure with a thickness of about 2000Å] the 1st layer. Furthermore, it may pile up or replace with such a silicate glass film, the spin coat of the SOG (spin-on glass : spinning-like glass)

may be carried out, a flat film may be formed, and a curly grain or CMP processing may be performed. Thus, if flattening of the upper surface of an insulating layer 41 is carried out by spin coat processing or CMP processing between the 1st layer, the advantage of being easy to form TFT30 behind in the bottom will be acquired.

[0057] In addition, between the 1st layer, to an insulating layer 41, by performing about 900-degree C annealing processing, while preventing contamination, you may carry out flattening.

[0058] Next, as shown in the process (3) of drawing 8, about 450-550 degrees C of a-Si (amorphous silicon) films are preferably formed comparatively on an insulating layer 41 between the 1st layer with the reduced pressure CVD (for example, CVD with a pressure of about 20-40Pa) using the mono-silane gas of flow rate about 400 to 600 cc/min, disilane gas, etc. of about 500 degrees C in low-temperature environment. Then, in nitrogen atmosphere, at about 600-700 degrees C, preferably, solid phase growth of the p-Si (contest polysilicon) film is carried out by ***** which performs annealing processing of 4 - 6 hours for about 1 to 10 hours until it becomes the thickness of about 1000Å preferably in about 500-2000Å thickness. Under the present circumstances, in creating n channel type TFT30, it dopes slightly the dopant of V group elements, such as Sb

(antimony), As (arsenic), and P (Lynn), with an ion implantation etc. Moreover, in using TFT30 as a p-channel type, it dopes slightly the dopant of III group elements, such as aluminum (aluminum), B (boron), Ga (gallium), and In (indium), with an ion implantation etc. In addition, you may form an p-Si film directly by reduced pressure CVD etc. without passing through an a-Si film. Or drive silicon ion into the p-Si film deposited by reduced pressure CVD etc., once make it amorphous (amorphous-izing), it is made to recrystallize by annealing processing etc. after that, and an p-Si film may be formed.

[0059] Next, as shown in the process (4) of drawing 8, a thermal oxidation film with a comparatively thin thickness of about 300Å is formed for the p-Si layer 32 the temperature of about 900-1300 degrees C, and by oxidizing thermally with the temperature of about 1000 degrees C preferably, a high-temperature-oxidation silicon film (HTO film) and a nitride are further deposited on the comparatively thin thickness of about 500Å by reduced pressure CVD etc., and the gate insulating layer 33 with multilayer structure is formed. consequently, the thickness of the p-Si layer 32 -- the thickness of about 300-1500Å -- desirable -- the thickness of about 350-450Å -- becoming -- the thickness of the gate insulating layer 33 -- the thickness of

about 200-1500Å -- it becomes the thickness of about 300Å preferably Thus, by shortening elevated-temperature thermal oxidation time, when using especially an about 8 inches large-sized wafer, the warp by heat can be prevented. However, you may form the gate insulating layer 33 with a single layer structure only by oxidizing the p-Si layer 32 thermally.

[0060] Next, as shown in the process (5) of drawing 8, after depositing p-Si by reduced pressure CVD etc. through the gate insulating layer 33 on the p-Si layer 32, the gate electrode 31 (scanning electrode) is formed according to a photolithography process, an etching process, etc. using the gate mask.

[0061] However, the gate electrode 31 (scanning electrode) may be formed from a metal membrane or metal silicide films, such as not an p-Si layer but aluminum, or may be formed in a multilayer combining these metal membranes or a metal silicide film, and an p-Si film. in this case, it also becomes possible to omit a part or all of the black matrix 23 by the shading nature which a metal membrane metallurgy group silicide film has if the black matrix 23 arranges the gate electrode 31 (scanning electrode) as the part or the shading film which boils all and corresponds of a wrap field In this case, there is an advantage which can prevent decline in the pixel numerical aperture by the lamination gap with the

opposite substrate 2 and the TFT array substrate 1 especially.

[0062] Next, as shown in the process (6) of drawing 9, when TFT30 is set to n channel type TFT with LDD (Lightly Doped Drain Structure) structure, In order to form the low concentration dope field which constitutes the part which adjoins the p type p-Si layer 32 among the source field 34 and the drain field 36 first at a channel side, respectively The gate electrode 31 is used as a diffusion mask. the dopant of V group elements, such as P, by low concentration It dopes. (for example, P ion -- dose of one to $3 \times 10^{13}/\text{cm}^2$) then, after forming a resist layer on the gate electrode 31 with the latus mask of width of face rather than the gate electrode 31, similarly the dopant of V group elements, such as P, is doped by high concentration (for example, P ion -- the dose of one to $3 \times 10^{15}/\text{cm}^2$) Moreover, in the n type p-Si layer 32, when using TFT30 as a p-channel type, in order to form the source field 34 and the drain field 36, the dopant of III group elements, such as B, is used and doped. Thus, when it considers as LDD structure, the advantage which can reduce the short channel effect is acquired. In addition, it is not necessary to dope by dividing into two stages low-concentration and high-concentration, in this way. For example, it is good also as TFT of offset structure, without performing a

low-concentration dope, and it is good also as self aryne type TFT by the ion-implantation technology using P ion, B ion, etc., using the gate electrode 31 as a mask.

[0063] In parallel to these processes, the driver circuit 101 for the X side drive with the CMOS (complementary MOS) structure which consists of n channel type p-SiTFT and p-channel type p-SiTFT, and the driver circuit 104 for the Y side drive are formed in the periphery on the TFT array substrate 1. Thus, since TFT30 is p-SiTFT, at the time of formation of TFT30, it is the same process, and it can form the driver circuit 101 for the X side drive, and the driver circuit 104 for the Y side drive, and is advantageous on manufacture.

[0064] next, it is shown in the process (7) of drawing 9 -- as -- the gate electrode 31 (scanning electrode) -- a wrap -- like, using an ordinary pressure or reduced pressure CVD, TEOS gas, etc., while [the 2nd layer] consisting of silicate glass films, such as NSG, PSG, BSG, and BPSG, a nitride, a silicon-oxide film, etc., an insulating layer 42 is formed The thickness of an insulating layer 42 has desirable about 5000-15000Å between the 2nd layer. And in order to activate the source field 34 and the drain field 36, after performing about 1000-degree C annealing processing about 20 minutes, the contact hole 37 to the source electrode 31 (signal electrode) is formed by dry

etching, such as reactant etching and reactant ion beam etching. Under the present circumstances, there is an advantage that the direction which carried out opening of the contact hole 37 can make an opening configuration almost the same as a mask configuration by anisotropic etching like reactant etching and reactant ion beam etching. However, if opening is carried out combining dry etching and wet etching, since a contact hole 37 will be made in the shape of a taper, the advantage that the open circuit at the time of wiring connection can be prevented is acquired. Moreover, the contact hole for connecting with the wiring which does not illustrate the gate electrode 31 (scanning electrode) is also opened in an insulating layer 42 between the 2nd layer according to the same process as a contact hole 37.

[0065] Next, as shown in the process (8) of drawing 9, between the 2nd layer, on an insulating layer 42, low resistance metal metallurgy group silicide, such as aluminum, etc. is deposited on the thickness of about 1000-5000Å by sputtering processing etc., and the source electrode 35 (signal electrode) is further formed according to a photolithography process, a wet etching process, etc.

[0066] in this case, it also becomes possible to omit a part or all of the black matrix 23 by the shading nature which metal membrane metallurgy group silicide films, such as aluminum, have if

the black matrix 23 arranges the source electrode 35 (signal electrode) as the part or the shading film which boils all and corresponds of a wrap field. In this case, there is an advantage which can prevent decline in the pixel numerical aperture by the lamination gap with the opposite substrate 2 and the TFT array substrate 1 especially.

[0067] Next, using an ordinary pressure or reduced pressure CVD, TEOS gas, etc., as shown in the process (9) of drawing 9, while [the 3rd layer] consisting of silicate glass films, such as NSG, PSG, BSG, and BPSG, a nitride, a silicon oxide film, etc., an insulating layer 43 is formed, so that the source electrode 35 (signal electrode) top may be covered. The thickness of an insulating layer 43 has desirable about 5000-15000Å between the 3rd layer. Or it replaces with such a silicate glass film, or the spin coat of an organic film or the SOG (spin-on glass) may be carried out in piles, and a flat film may be formed, or CMP processing may be performed.

[0068] Furthermore, the contact hole 38 for carrying out electrical installation of the pixel electrode 11 and the drain field 36 is formed by dry etching, such as reactant etching and reactant ion beam etching. Under the present circumstances, the advantage that the direction which carried out opening of the contact hole 38 can make an opening configuration almost the same as a mask configuration

by anisotropic etching like reactant etching and reactant ion beam etching is acquired. However, if opening is carried out combining dry etching and wet etching, since a contact hole 38 will be made in the shape of a taper, the advantage that the open circuit at the time of wiring connection can be prevented is acquired.

[0069] Next, as shown in the process (10) of drawing 9, between the 3rd layer, on an insulating layer 43, transparent conductivity thin films, such as an ITO film, are deposited on the thickness of about 500-2000Å by sputtering processing etc., and the pixel electrode 11 is further formed according to a photolithography process, a wet etching process, etc. In addition, when using the liquid crystal display panel 100a concerned for a reflected type liquid crystal display, you may form the pixel electrode 11 from an opaque material with high reflection factors, such as aluminum.

[0070] Then, after applying the application liquid of the orientation film of a polyimide system on the pixel electrode 11, the orientation film 12 shown in drawing 1 is formed by performing rubbing processing in the predetermined direction so that it may have a predetermined pre tilt angle etc.

[0071] On the other hand, about the opposite substrate 2 shown in drawing 1, a glass substrate etc. is prepared first,

and after the black matrix 23 carries out sputtering for example, of the metal chromium to the position on a this top and respectively corresponding to two or more TFT30, it is formed in it through a photolithography process and an etching process. In addition, the black matrix 23 may form others, carbon, and Ti from material, such as resin black distributed to the photoresist. [metallic materials /, such as Cr and nickel,] Then, the common electrode 21 is formed by sputtering processing etc. all over the opposite substrate 2 by depositing transparent conductivity thin films, such as ITO, on the thickness of about 500-2000Å. Furthermore, after applying the application liquid of the orientation film of a polyimide system all over the common electrode 21, the orientation film 22 is formed by performing rubbing processing in the predetermined direction so that it may have a predetermined pre tilt angle etc.

[0072] Finally, the TFT array substrate 1 and the opposite substrate 2 in which each class was formed as mentioned above are made to rival so that the orientation films 12 and 22 may meet by the sealing compound 52, the liquid crystal which comes to mix two or more kinds of pneumatic liquid crystals is attracted by vacuum suction etc., and the liquid crystal layer 50 is formed in the space between both substrates of it.

[0073] In addition, what is necessary is to

form p-Si layer 32' on an insulating layer 41 between the 1st layer according to the same process as the above-mentioned p-Si layer 32, to form insulating layer 33' on it according to the same process as the above-mentioned gate insulating layer 33, and just to form storage capacitance electrode (capacity line) 31' according to the same process as the gate electrode 31 on it further about the storage capacitance 70 shown in drawing 3.

[0074] According to the above manufacture process, liquid crystal display panel 100a shown in drawing 1 is completed.

[0075] <Gestalt of the 2nd operation> drawing 10 is the cross section of the liquid crystal display panel which is the gestalt of operation of the 2nd of this invention. In addition, in order to make each class and each part material into the size of the grade which can be recognized on a drawing, scales are made to have differed for each class or every member like the case of drawing 1 in drawing 10. Moreover, in drawing 10, the reference mark same about the same component as drawing 1 is attached, and the explanation is omitted.

[0076] In drawing 10, liquid crystal display panel 100b is equipped with shading layer 3b and polycrystal silicon layer 4b which the built-up sequence has reversed instead of shading layer 3a in the gestalt of the 1st operation shown in drawing 1, and polycrystal silicon layer

4a, and is the same as that of the gestalt of the 1st operation about other composition. Moreover, it is almost the same as it of the gestalt of the 1st operation also about the manufacture process of liquid crystal display panel 100b of the gestalt of the 2nd operation, and differs in that the membrane formation sequence of a shading layer and a polycrystal silicon layer becomes reverse.

[0077] That is, in drawing 10, shading layer 3b is formed on the TFT array substrate 1, and polycrystal silicon layer 4b is formed in this in piles. And the insulating layer 41 is formed on this polycrystal silicon layer 4b between the 1st layer. Shading layer 3b consists of metal silicide containing at least one of Ti, Cr, W, Ta, Mo, and Pd like the case of the gestalt of the 1st operation. Thus, if constituted from metal silicide, thermal affinity with the TFT array substrate 1 which consists of polycrystal silicon layer 4b, a quartz substrate which comes to contain silicon will become good. More specifically, even when put on hot environments and ordinary temperature environment, the stress which originates in the difference of physical properties, such as coefficient of thermal expansion, and is generated between shading layer 3b, polycrystal silicon layer 4b, or the TFT array substrate 1 is eased further.

[0078] According to the gestalt of the 2nd operation these results, between each

component of the TFT array substrate 1 and TFT30, and the 1st layer, distortion arises in shading layer 3b, a crack enters, distortion arises in insulating-layer 41 grade, or the situation where a crack enters can be avoided effectively. For this reason, it can prevent effectively having a bad influence on the formation process of subsequent TFT by distortion and cracks, such as that return from the crack of shading layer 3b, and a part of light carries out incidence to the channel of TFT30, and shading layer 3b. Therefore, according to the gestalt of this operation, the transistor characteristics of TFT30 are improved and, finally, liquid crystal display panel 100b enables it to display a higher-definition picture.

[0079] Especially with the gestalt of the 2nd operation, a multiple echo can be prevented so that it may explain with reference to drawing 11 and drawing 12 below.

[0080] That is, according to the gestalt of the 1st operation, as shown in drawing 11, as two or more arrows L1 show, since it is shaded by the metal membrane which consists of aluminum which constitutes the black matrix 23 and the source electrode 35, incidence of the incident light is not carried out to the p-Si layer 32 for channel formation by one side. On the other hand, as the field in which it returns and shading layer 3a is not formed for light to two or more arrows L2 which carried out incidence from the TFT

array substrate 1 side show, incidence is carried out to an insulating layer 41 between the 1st layer. A part of return light which carried out incidence Thus, the inferior surface of tongue of the source electrode 35 (signal electrode) especially with a high reflection factor, The result reflected by insulating-layer 42 grade between the upper surface of an insulating layer 41, and the 2nd layer between the 1st layer, Finally it will be reflected on the upper surface (field which counters the p-Si layer 32) of shading layer 3a, or the inferior surface of tongue of the source electrode 35 (signal electrode), and the return light reflected or reflected multiply in the such insulating-layer 41 grade between the 1st layer will carry out incidence to the p-Si layer 32 for channel formation. Therefore, according to the gestalt of the 1st operation, there is a possibility that the switching characteristic of TFT30 may deteriorate by return light, by the operating environment etc.

[0081] On the other hand, since it is absorbed by such source electrode 35 (signal electrode) and returning polycrystal silicon layer 4b which was reflected or reflected multiply in the insulating-layer 41 grade between the 1st layer and by which light was finally prepared in the upper surface (field which counters the p-Si layer 32) of shading layer 3b according to the gestalt of operation of **** 2 as shown in

drawing 12 , the return light which carries out incidence to the p-Si layer 32 for channel formation can be reduced. Therefore, according to the gestalt of the 2nd operation, degradation of the switching characteristic of TFT30 by return light etc. can be prevented.

[0082] Since liquid crystal display panel 100a or 100b in a gestalt of each operation explained above is applied to an electrochromatic display projector, three liquid crystal display panel 100a will be used as a light valve for RGB, respectively, and incidence of the light of each color decomposed through the dichroic mirror for RGB color separation, respectively will be carried out to each panel as an incident light, respectively. Therefore, with the gestalt of each operation, the light filter is not prepared in the opposite substrate 2. However, you may form the light filter of RGB in the predetermined field which counters the pixel electrode 11 in which the black matrix 23 is not formed in liquid crystal display panel 100a or 100b on the opposite substrate 2 with the protective coat. If it does in this way, the liquid crystal display panel of the gestalt of this operation is applicable to electrochromatic display display, such as direct viewing types other than a liquid crystal projector, and reflected type electrochromatic display television.

[0083] Although [liquid crystal display panel 100a or 100b of a gestalt of each

operation] incidence of the incident light is carried out from the opposite substrate 2 side as usual, since shading layer 3a or 3b exists, incidence of the incident light is carried out from the TFT array substrate 1 side, and it may be made to carry out outgoing radiation from the opposite substrate 2 side. That is, even if it attaches liquid crystal display panel 100a or 100b in a liquid crystal projector in this way, it can prevent light carrying out incidence to the p-Si layer 32 for channel formation, and it is possible to display a high-definition picture.

[0084] In order to set to liquid crystal display panel 100a or 100b of a gestalt of each operation and to suppress the poor orientation of the liquid crystal molecule by the side of the TFT array substrate 1, a flattening film may be further applied on a spin coat etc. on an insulating layer 43 between the 3rd layer, and a curly grain or CMP processing may be performed.

[0085] It is also possible to take the composition which prepares a polycrystal silicon layer in shading layer a top and the bottom, respectively so that clearly from the gestalt of each operation. In this case, although there is demerit in which the thickness of these whole becomes thick especially, this demerit is suppliable by carrying out flattening of the upper surface of an insulating layer between the 1st layer etc.

[0086] Moreover, although it was

explained with the gestalt of each operation that the switching element of liquid crystal display panel 100a or 100b was right stagger type or KOPURANA type p-SiTFT, application with various kinds of gestalten is possible under the technical problem that it prevents that return light carries out incidence to the semiconductor layer for channel formation also to TFT of other form, such as reverse stagger type TFT and a-SiTFT. [0087] Furthermore, in liquid crystal display panel 100a or 100b of a gestalt of each operation, although the liquid crystal layer 50 was constituted from a pneumatic liquid crystal as an example, if the polymer dispersed liquid crystal which distributed liquid crystal as a minute grain in the macromolecule is used, the orientation films 12 and 22 and the above-mentioned polarization film, a polarizing plate, etc. will become unnecessary, and the advantage of a raise in the brightness of a liquid crystal display panel or low-power-izing by efficiency for light utilization increasing will be acquired. Furthermore, when applying liquid crystal display panel 100a or 100b to a reflected type liquid crystal display by constituting the pixel electrode 11 from a metal membrane with high reflection factors, such as aluminum, you may use SH (super HOMEOTORO pick) type liquid crystal to which perpendicular orientation of the liquid crystal molecule was mostly carried out in the state of no

voltage impressing. Furthermore, although the common electrode 21 is provided in the opposite substrate 2 side in liquid crystal display panel 100a or 100b again so that perpendicular electric field (vertical electric field) may be impressed to the liquid crystal layer 50 What (that is, the electrode for horizontal electric-field generating is prepared in the TFT array substrate 1 side, without preparing the electrode for vertical electric-field generating in the opposite substrate 2 side) the pixel electrode 11 is constituted also for from an electrode for horizontal electric-field generating of a couple, respectively so that electric field (horizontal electric field) parallel to the liquid crystal layer 50 may be impressed is possible. Thus, it is advantageous, when extending an angle of visibility rather than the case where vertical electric field are used, if horizontal electric field are used. In addition, it is possible to apply the gestalt of this operation to various kinds of liquid crystal material (liquid crystal phase), a mode of operation, a liquid crystal array, the drive method, etc.

[0088]

[Effect of the Invention] According to the liquid crystal display panel according to claim 1, the shading layer which consists of a refractory metal It is prepared in the position which counters a switching element. a polycrystal silicon layer Since it is prepared between the 1st substrate

and the shading layer in the position with which a shading layer laps, distortion arises in a shading layer, a crack enters, distortion arises in each component of the 1st substrate, a polycrystal silicon layer, and a switching element etc., or it can prevent that a crack enters. Furthermore, if etching removal of the shading layer is carried out in the state where an interface exists between a polycrystal silicon layer and the 1st substrate, while the front face of the 1st substrate has not been comparatively ruined, a switching element can be formed above a shading layer. consequently, the shading nature and reliability of a shading layer will be boiled markedly, will improve, and can improve the switching characteristic of a switching element The good high-definition image display of coloring becomes possible by high contrast these results.

[0089] According to the liquid crystal display panel according to claim 2, the shading layer which consists of a refractory metal It is prepared in the position which counters a switching element. a polycrystal silicon layer Since it is prepared between the shading layer and the switching element in the position which laps with a shading layer Since the thing which carried out incidence and which is given to a switching element though it returns and light, such as light, reaches to a shading layer top as a multiple reflection light can be prevented

from the 1st substrate side, degradation of the switching characteristic of the switching element by this light can be reduced.

[0090] Since the thermal affinity of the shading layer containing silicon and the 1st substrate which consists of a polycrystal silicon layer or a quartz substrate is good according to the liquid crystal display panel according to claim 3, distortion arises in a shading layer, a crack enters, distortion arises in each component of the 1st substrate and a switching element, a layer insulation layer, etc., or the situation where a crack enters can be avoided more effectively.

[0091] A switching element can be created comparatively easily on a layer insulation layer, fully being able to ease the thermal stress in the hot environments in a formation process and ordinary temperature environment of a switching element by the polycrystal silicon layer, and acquiring sufficient shading effect according to the liquid crystal display panel according to claim 4.

[0092] According to the liquid crystal display panel according to claim 5, a switching element can be easily formed in the flat layer insulation layer bottom, and the switching characteristic of a switching element can be improved more through an easy manufacturing process.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the cross section showing the 1st composition of the liquid crystal display panel of the gestalt of operation.

[Drawing 2] It is the plan of the TFT array substrate which constitutes the liquid crystal display panel of drawing 1.

[Drawing 3] It is the cross section of the storage capacitance which constitutes the liquid crystal display panel of drawing 1.

[Drawing 4] It is the plan showing the whole liquid crystal display panel composition of drawing 1.

[Drawing 5] It is the cross section showing the whole liquid crystal display panel composition of drawing 1.

[Drawing 6] It is the property view showing the property of TFT prepared in the liquid crystal display panel of the gestalt of this operation.

[Drawing 7] It is the property view showing the property of TFT prepared in the liquid crystal display panel as an example of comparison.

[Drawing 8] It is process drawing (the 1) showing order for the manufacture process of the liquid crystal display panel of drawing 1 later on.

[Drawing 9] It is process drawing (the 2) showing order for the manufacture process of the liquid crystal display panel of drawing 1 later on.

[Drawing 10] It is the cross section showing the 2nd composition of the liquid crystal display panel of the gestalt of

operation.

[Drawing 11] It is the cross section showing the path of the multiple reflection light by the return light in the liquid crystal display panel of the gestalt of the 1st operation.

[Drawing 12] It is the cross section showing the path of the reflected light by the return light in the liquid crystal display panel of the gestalt of the 2nd operation.

[Description of Notations]

- 1 -- TFT array substrate
- 2 -- Opposite substrate
- 3a, 3b -- Shading layer
- 4a, 4b -- Polycrystal silicon layer
- 11 -- Pixel electrode
- 12 -- Orientation film
- 21 -- Common electrode
- 22 -- Orientation film
- 23 -- Black matrix
- 30 -- TFT
- 31 -- Gate electrode
- 32 -- p-Si layer
- 33 -- Gate insulating layer
- 34 -- Source field
- 35 -- Source electrode (signal electrode)
- 36 -- Drain field
- 37 38 -- Contact hole
- 41 -- Insulating layer between the 1st layer
- 42 -- Insulating layer between the 2nd layer
- 43 -- Insulating layer between the 3rd layer
- 50 -- Liquid crystal layer

- 52 -- Sealing compound
- 100a, 100b -- Liquid crystal display panel
- 101 -- Driver circuit for the X side drive
- 102 -- Mounting terminal
- 104 -- Driver circuit for the Y side drive